

概述

CH32M030系列是基于青稞RISC-V3B内核设计的工业级电机微控制器。CH32M030内置4个OPA运放和3个电压比较器CMP，支持组合成2组交流小信号放大解码器Q11和2组差分输入电流采样ISP；内置USB PHY和PD PHY，支持USB Host主机和USB Device设备功能、PDUSB、Type-C快充功能、BC1.2及DCP/CDP等多种高压充电协议；内置4对N型功率管栅极预驱，提供高压I/O；内置可编程灌电流模块；提供DMA控制器、12位模数转换ADC、多组定时器、UART串口、I2C、SPI等外设资源，提供过压保护和过温保护。

产品特性

- **内核Core**
 - 青稞32位RISC-V3B内核
 - 支持RV32IMCB指令集和自扩展指令
 - 三级流水线
 - 特有高速的中断响应机制
 - 最高72MHz系统主频
- **存储器**
 - 12KB易失数据存储区SRAM
 - 64KB带ECC程序存储区Code Flash
 - 512B用户自定义信息存储区
- **电源管理和低功耗**
 - 内置高压LDO， V_{HV} 支持额定5~28V系统供电
 - 预驱动I/O供电 V_{DD8} 额定电压：5~10V
 - 普通I/O和ADC供电 V_{DD33} 额定电压：3.3V
 - 低功耗模式：睡眠、停止、待机
- **4个双N型MOSFET半桥驱动器**
 - 4对高侧/低侧MV引脚，支持 V_{DD8} 电压
 - 内置低压降自举二极管，外部只需要电容
 - 可组合为三相电机栅极驱动
 - 可组合为两路独立的全桥驱动
- **系统时钟**
 - 内置出厂调校的8MHz的RC振荡器
 - 内置约340kHz的RC振荡器
 - 支持外部4~25MHz晶体
- **7路通用DMA控制器**
 - 7个通道，支持环形缓冲区管理
 - 支持TIMx/ADC/UART/I2C/SPI
- **12位模数转换ADC**
 - 模拟输入范围：GND~ V_{DD33}
 - 20路外部信号通道
 - 支持外部延迟触发，支持ADC滑动平均功能
- **OTP过温保护和OVP过压保护及欠压复位**
- **多引脚映射的UART串口**
- **I2C接口**
- **SPI接口**
- **2组Type-C和USB PD控制器及PHY**
 - 支持DRP、Sink和Source应用
 - 4个耐高压的CC引脚
- **全速USB 2.0控制器及PHY**
 - 支持PDUSB、Host主机和Device设备模式
 - 支持BC1.2及多种HV DCP/CDP充电协议
 - 内置6位DAC，可编程电压输出及上下拉
- **多组定时器**
 - 1个16位高级定时器，提供死区控制和紧急刹车，提供用于电机控制的PWM互补输出
 - 1个16位通用定时器
 - 1个16位的精简通用定时器
 - 1个窗口看门狗定时器
 - 系统时基定时器：32位计数器
- **4个运放OPA和3个模拟电压比较器CMP**
 - 可组合为2组交流小信号放大解码器Q11及Q112和2组差分输入电流采样ISP1及ISP2
 - OPA1和OPA2支持自偏置的PGA
 - OPA3和OPA4支持单端及差分输入，PGA多档增益选择，提供内部自偏置电压
 - CMP1支持数字滤波
 - CMP2和CMP3支持N端偏置可选，数字滤波
 - CMP3有多路输入通道，输出到I/O或者内部
- **2组10位可编程灌电流模块**
- **2组源电流模块**
- **GPIO端口**
 - 36个I/O口，映射16个外部中断
 - 8个MV预驱动引脚，2个HV高压引脚
- **安全特性：64位芯片唯一ID**
- **调试模式：支持单线和双线两种调试模式**
- **封装形式：LQFP、QFN、QSOP**

资源		型号					
		C8U3	C8T7	C8U7	K8U7	G8R7	
芯片引脚数		48	48	48	32	28	
Code Flash (字节)		64K	64K	64K	64K	64K	
SRAM (字节)		12K	12K	12K	12K	12K	
半桥栅极驱动器		4	4	4	2	3	
通用I/O		36	35	36	24	17	
预驱动I/O (MV I/O)		8	8	8	6	6	
高压I/O (HV I/O)		2	-	1	1	-	
定时器	高级TIM1 (16位)	1	1	1	1	1	
	通用TIM2 (16位)	1	1	1	1	1	
	精简TIM3 (16位)	1	1	1	1	1	
	窗口看门狗 (WWDG)	1	1	1	1	1	
	系统时基 (32位)	√					
ADC		20	20	20	16	11	
OPA1		1	1	1	-	-	
OPA2		1	1	1	1	1	
OPA3		1	1	1	1	1	
OPA4		1	1	1	1	1	
CMP1		1	1	1	-	-	
CMP2		1	1	1	1	1	
CMP3		1	1	1	1	1	
电流采样ISP, ISN		差分*2	差分*2	差分*2	差分*1 单端*1	差分*2	
信号解码QII		2	2	2	1	1	
可编程灌电流模块ISINK		2	2	2	2	1	
源电流模块ISOURCE		2	2	2	1	-	
通信接口	UART	1	1	1	1	1	
	SPI	1	1	1	1	-	
	I2C	1	1	1	1	1	
	PDU5B	USBFS	Host Device	Host Device	Host Device	Host Device	Host Device
		USB PD Type-C	(CC1R, CC2R) (CC3, CC4) 内置Rd ⁽¹⁾	(CC1, CC2) (CC3, CC4)	(CC1R, CC2R) (CC3, CC4) 内置Rd ⁽¹⁾	(CC1R, CC2R) (CC3, CC4) 内置Rd ⁽¹⁾	(CC3, CC4)
封装形式		QFN48X7_A	LQFP48	QFN48	QFN32	QSOP28	

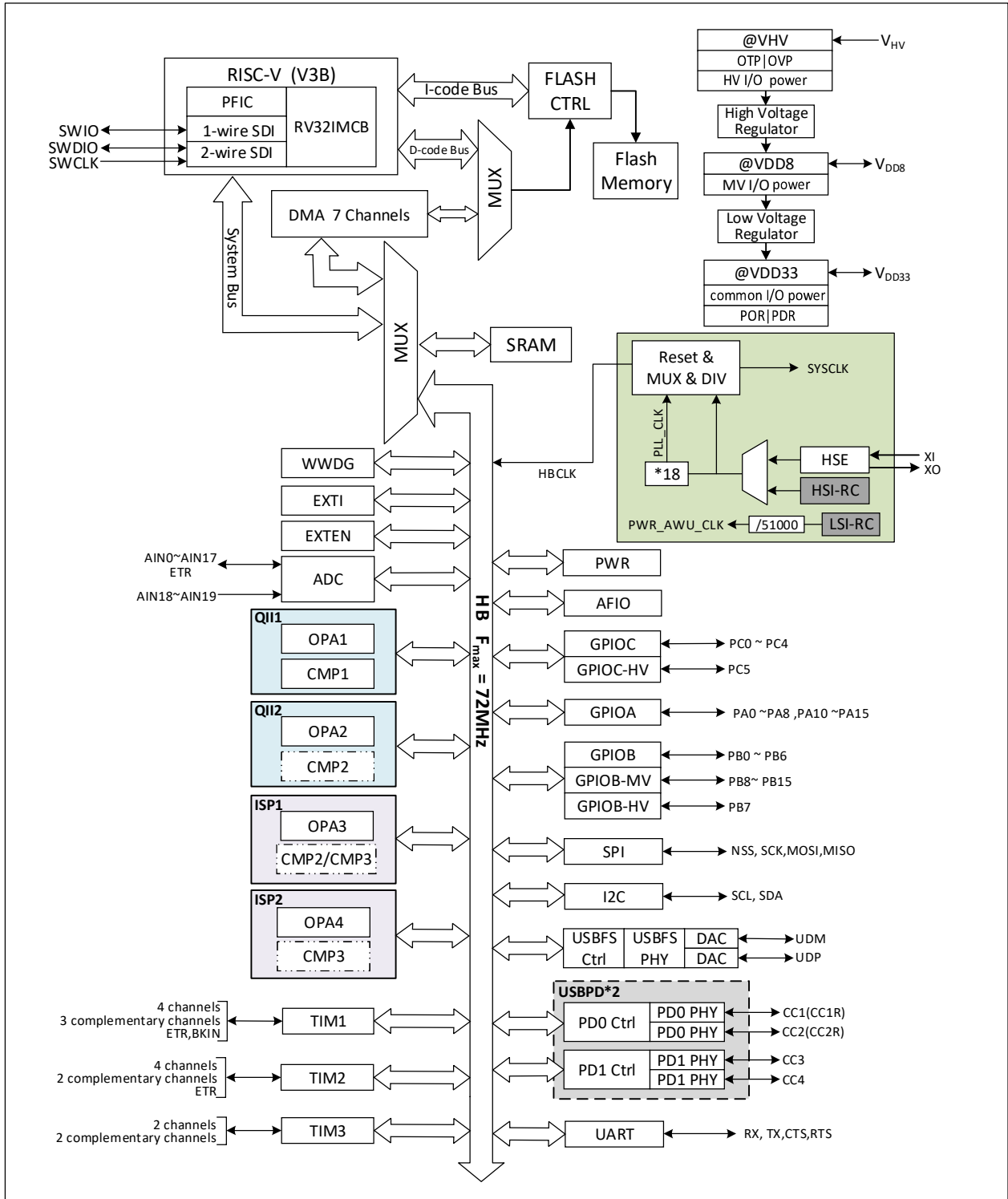
注：1. 引脚PA0/CC1R和PA1/CC2R内置Type-C规范定义的可控Rd下拉电阻，约5.1kΩ。

第1章 规格信息

1.1 系统架构

微控制器基于RISC-V指令集的青稞V3B设计，其架构中将内核、仲裁单元、DMA模块、SRAM存储等部分通过多组总线实现交互。设计中集成通用DMA控制器以减轻CPU负担、提高访问效率，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是CH32M030内部总体架构框图。

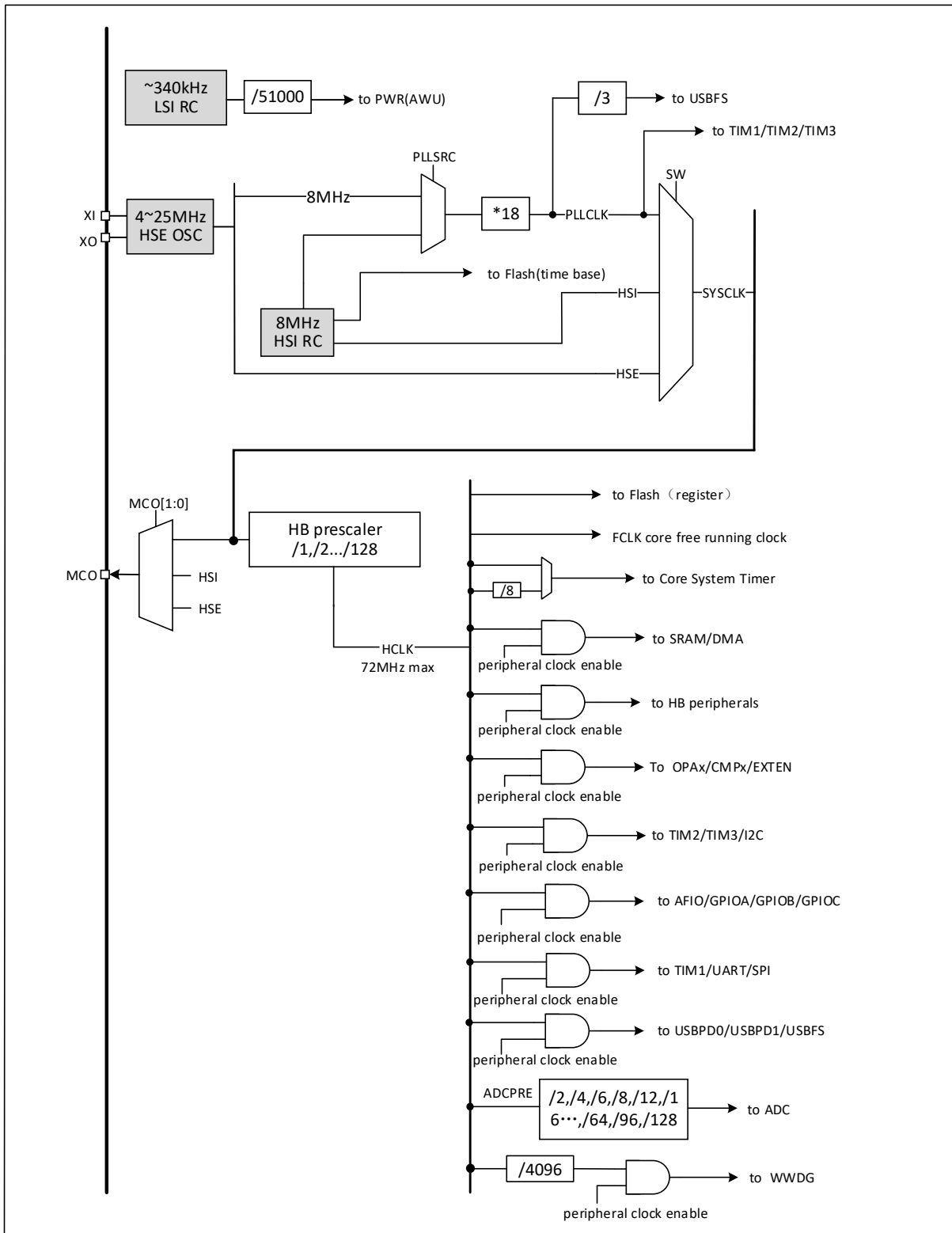
图1-1 系统框图



1.3 时钟树

系统中引入3组时钟源：内部高频RC振荡器（HSI）、内部低频RC振荡器（LSI）和外部高频振荡器（HSE）。其中，低频时钟源为自动唤醒单元提供了时钟基准，高频时钟源直接或者间接通过18倍频后输出为系统总线时钟（SYSCLK），系统时钟再由各预分频器提供了HB域外设控制时钟及采样或接口输出时钟。

图1-3 时钟树框图



1.4 功能概述

1.4.1 青稞RISC-V3B处理器

RISC-V3B是32位嵌入式处理器。处理器内部以模块化管理，支持RISC-V标准指令集IMCB子集。包含快速可编程中断控制器（PFIC）、扩展指令支持等单元。对外多组总线与外部单元模块相连，实现外部功能模块和内核的交互。

青稞处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景MCU设计，例如小面积低功耗嵌入式场景等。

- 支持机器和用户特权模式
- 快速可编程中断控制器（PFIC）
- 2级硬件中断堆栈
- 支持串行单/双线调试接口
- 自定义扩展指令

1.4.2 片上存储器

内置12K字节SRAM区，用于存放数据，掉电后数据丢失。

内置64K字节程序闪存存储区（Code FLASH），即用户区，带ECC校验，用于用户的应用程序和常量数据存储。

内置512字节用户自定义信息存储区（User Info FLASH），仅可用WCH-LinkUtility软件工具操作。

内置128字节系统非易失配置信息存储区，用于厂商配置字存储，出厂前固化，用户不可修改。

内置128字节用户选择字存储区。

1.4.3 供电方案

CH32M030内置了3级LDO调压器，分别是从 V_{HV} 产生 V_{DD8} 的高压调压器、从 V_{DD8} 产生 V_{DD33} 的低压调压器、从 V_{DD33} 产生内核电源的内核调压器。

$V_{HV} = 4.0 \sim 29.0V$ ：为内部高压调压器和HV高压I/O引脚供电，建议 V_{HV} 上累计电容量不小于10uF。

$V_{DD8} = 4.0 \sim 10.5V$ ：内部高压调压器在 V_{DD8} 引脚产生电压，为MV预驱动I/O引脚供电和内部低压调压器供电。建议 V_{DD8} 外接10uF退耦电容；在不启用电机预驱时，外接电容可以减小。

$V_{DD33} = 3.1 \sim 3.5V$ ：内部低压调压器在 V_{DD33} 引脚产生额定3.3V电压，为普通I/O引脚和ADC以及内核调压器供电。建议 V_{DD33} 外接1uF~10uF容量的电容。

在高压下工作时，CH32M030内部LDO累计功耗较大，为了降低芯片温度，外部可选直接向 V_{DD8} 供电5.0~10.0V，此时要求 $V_{DD8} \leq V_{HV}$ ；外部可选直接向 V_{DD33} 供电3.3V，此时要求 $V_{DD33} \leq V_{DD8} \leq V_{HV}$ 。

1.4.4 保护和复位电路

CH32M030内部集成了上电复位(POR)/掉电复位(PDR)电路，当 V_{DD33} 电压高于设定的阈值($V_{POR/PDR}$)后，系统开始工作；当 V_{HV} 电压下降到使 V_{DD33} 电压低于设定的阈值($V_{POR/PDR}$)时，置系统于复位状态，而不必使用外部的欠压复位电路。关于 $V_{POR/PDR}$ 的值参考表3-4。

CH32M030内置了OTP过温保护，在芯片温度过高时将强行复位MCU。

CH32M030的PB4引脚支持ADC和OVP过压复位，可以将 V_{HV} 通过片外两个电阻分压后连接到PB4自主配置OVP过压保护，一是可以通过ADC得到实时的 V_{HV} 值；二是自主设置 V_{HV} 的过压保护点，当PB4引脚电压超过OVP过压复位阈值电压(V_{OVP_REF})时，置系统于复位状态。例如：上电阻200K和下电阻15K将得到约21.5V的过压复位电压。关于 V_{OVP_REF} 的值参考表3-4。

1.4.5 系统电压调节器LDO

复位后，调节器自动开启，根据应用方式有两种操作模式：

- 开启模式：正常的运行操作，提供稳定的内核电源。

- 低功耗模式：当芯片进入待机模式后，调节器低功耗运行。

1.4.6 快速可编程中断控制器（PFIC）

青稞内核MCU内置快速可编程中断控制器（PFIC），最多支持255个中断向量，以最小的中断延迟提供了灵活的中断管理功能。CH32M030管理了5个内核私有中断和31个外设中断管理，其他中断源保留。

- 提供5个不可屏蔽中断
- 支持2级中断嵌套进入和退出硬件自动压栈和恢复，无需指令开锁
- 提供4路可编程快速中断通道，自定义中断向量地址
- 31个外设中断，每个中断请求都有独立的触发和屏蔽位、状态位

1.4.7 低功耗模式

系统支持三种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式（SLEEP）

在睡眠模式下，只有CPU时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 停止模式（STOP）

此模式下，高频时钟（HSE/HSI/PLL）域被关闭，SRAM和寄存器内容保持，I/O引脚状态保持。该模式唤醒后系统可以继续运行，此时HSI作为默认系统时钟源。

退出条件：任意外部中断/事件。

- 待机模式（STANDBY）

置位PDDS、SLEEPDEEP位，执行WFI/WFE指令进入。此模式下，高频时钟（HSE/HSI/PLL）域被关闭，SRAM和寄存器内容保持，I/O引脚状态保持，可以达到最低的电能消耗。该模式唤醒后系统可以继续运行，此时HSI作为默认系统时钟源。待机模式对比停止模式，唯一的差别在于：待机模式下，系统电压调节器将进入低功耗模式。

退出条件：任意外部中断/事件（EXTI信号）、RST上的外部复位信号，其中EXTI信号包括36个外部I/O口（PA0~PA8，PA10~PA15，PB0~PB6，PB8~PB15，PC0~PC5）之一，自动唤醒信号，USB的唤醒信号，USB PD唤醒信号等。

1.4.8 外部中断/事件控制器（EXTI）

外部中断/事件控制器总共包含20个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；挂起寄存器维持所有中断请求状态。EXTI可以检测到脉冲宽度小于内部HB的时钟周期。36个通用I/O口都可选择连接对应的16个外部中断源。

1.4.9 通用DMA控制器

系统内置了1组通用DMA控制器，管理7个通道，灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输，支持环形缓冲区方式。每个通道都有专门的硬件DMA请求逻辑，支持一个或多个外设对存储器的访问请求，可配置访问优先级、传输长度、传输的源地址和目标地址等。

DMA用于主要的外设包括：定时器TIMx、ADC、UART、I2C、SPI。

注：DMA和CPU经过仲裁器仲裁之后对系统SRAM进行访问。

1.4.10 时钟和启动

系统时钟源HSI默认开启，在没有配置时钟或者复位后，内部8MHz时钟作为默认的CPU时钟，随后可以另外选择外部4~25MHz时钟或PLL时钟。对于关闭时钟的低功耗模式，唤醒后系统也将使用内部的

RC振荡器。如果使能了时钟中断，软件可以接收到相应的中断。

1.4.11 ADC（模拟/数字转换器）

CH32M030内置1个12位的模拟/数字转换器(ADC)，支持多达20个外部通道，可编程的通道采样时间，可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监控一路或多路选中的通道，用于监测通道信号电压，监测到电压超过设定的阈值时，可配置产生复位，保护系统。

支持外部事件触发转换，触发源包括片上定时器的内部信号和外部引脚。支持使用DMA操作以及ADC滑动平均功能。

ADC_IN9、ADC_IN10、ADC_IN18以及ADC_IN19可复用为内部通道，连接OPA的输出端，寄存器配置请参考CH32M030RM手册的17.2章节。

1.4.12 定时器及看门狗

系统中的定时器包括1个高级定时器、1个通用定时器、1个精简定时器、1个看门狗定时器以及系统时基定时器。

- 高级定时器（TIM1）

高级定时器是一个16位的自动装载递加/递减计数器，具有16位可编程的预分频器。除了完整的通用定时器功能外，可以被看成是分配到6个通道的三相PWM发生器，具有带死区插入的互补PWM输出功能，允许在指定数目的计数器周期之后更新定时器进行重复计数周期，刹车功能等。高级定时器的很多功能都与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他TIM定时器协同操作，提供同步或事件链接功能。

- 通用定时器（TIM2）

通用定时器是一个16位的自动装载递加/递减计数器，具有一个可编程的16位预分频器以及4个独立的通道，每个独立通道都支持输入捕获、输出比较、PWM生成和单脉冲模式输出。通过复用通道3和4，通道1和2还具有带死区插入的互补PWM输出功能。

- 精简定时器（TIM3）

精简定时器是一个16位的自动装载递加/递减计数器，具有一个可编程的16位预分频器以及2个独立的通道，每个独立通道都支持输入捕获、输出比较、PWM生成和单脉冲模式输出，同时还带有简单的死区控制。

- 窗口看门狗（WWDG）

窗口看门狗是一个7位的递减计数器，并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

- 系统时基定时器（SysTick）

青稞微处理器内核自带一个32位递增的计数器，用于产生SYSTICK异常，可专用于实时操作系统，为系统提供“心跳”节律，也可当成一个标准的32位计数器。具有自动重加载功能及可编程的时钟源。

1.4.13 通用异步收发器（UART）

CH32M030提供了1组通用异步收发器（UART）。支持全双工异步通信以及半双工单线通信，也支持LIN(局部互连网)，兼容IrDA SIR ENDEC传输编解码规范和调制解调器(GTS/RTS硬件流控)操作，还允许许多处理器通信。其采用分数波特率发生器系统，并支持DMA操作连续通讯。

1.4.14 I2C总线

1个I2C总线接口，能够工作于多主机模式或从机模式，完成所有I2C总线特定的时序、协议、仲裁等，支持标准和快速两种通讯速度。

I2C接口提供7位或10位寻址，并且在7位从模式时支持双从地址寻址。内置了硬件CRC发生器/校验器。

1.4.15 串行外设接口（SPI）

芯片提供1个串行外设SPI接口，支持主或从操作，动态切换。支持多主模式，全双工或半双工同步传输，支持基本的SD卡和MMC模式。可编程的时钟极性和相位，数据位宽提供8或16位选择，可靠通信的硬件CRC产生/校验，支持DMA操作连续通讯。

1.4.16 Type-C及USB PD控制器

内置两组USB Power Delivery控制器和PD收发器PHY，提供4个耐高压的CC引脚PA0/PA1/PA2/PA3。PA0和PA1为一对CC引脚，连接到一个PD控制器；PA2和PA3为一对CC引脚，连接到另一个PD控制器。CC1/CC2/CC3/CC4如果有后缀R则表示内置Type-C规范定义的可控Rd下拉电阻，默认开启。

内置多级上拉电流，支持USB Type-C主从检测，自动BMC编解码和CRC，硬件边沿控制，支持USB PD2.0和PD3.0电力传输控制，支持快充，支持UFP/PD受电端Sink和DFP/PD供电端Source应用、DRP应用以及动态切换，与可编程灌电流模块ISINK配合可支持PPS高精度调压。

1.4.17 通用串行总线USB 2.0全速主机/设备控制器（USBFS）

USB 2.0全速主机控制器和设备控制器（USBFS），遵循USB 2.0 Fullspeed标准，支持PDUSB。提供16个可配置的USB设备端点及一组主机端点。支持控制/批量/同步/中断传输，双缓冲区机制，USB总线挂起/恢复操作，并提供待机/唤醒功能。此外，还内置6位DAC、输出缓冲器和输出比较器。

- 支持USB Host主机功能和USB Device设备功能
- 支持USB 2.0全速12Mbps或者低速1.5Mbps
- 支持USB控制传输、批量传输、中断传输、同步/实时传输
- 支持最大64字节的数据包，内置FIFO，支持中断和DMA
- 支持BC1.2及DCP/CDP等多种高压充电协议
- 内置6位DAC及输出缓冲器，支持输入比较
- 支持可编程电压输出、可编程上拉和下拉电阻

1.4.18 OPA与CMP特性

CH32M030芯片内置4个OPA运放（OPA1、OPA2、OPA3、OPA4）和3个CMP电压比较器（CMP1、CMP2、CMP3），支持有感定位、ADC采样无感定位、比较器无感定位，单电阻或双电阻电流采样方案。

OPA1、OPA2支持自偏置的可编程增益运放（PGA）。其中，OPA1的输出结果在芯片内部连接至电压比较器CMP1和ADC通道IN19；OPA2的输出结果在芯片内部连接至电压比较器CMP2和ADC通道IN18。

OPA3、OPA4支持单端及差分输入，可通过更改配置进行PGA放大倍数选择，还提供内部自偏置电压。其中，OPA3的输出结果在芯片内部连接至电压比较器CMP2或CMP3，以及ADC通道IN9；OPA4的输出结果在芯片内部连接至电压比较器CMP3，以及ADC通道IN10。

CMP1支持可选迟滞特性，支持输出端数字滤波功能，且输出滤波可选。

CMP2支持可选迟滞特性，支持内部N端偏置可选以及输出端数字滤波功能。其P端通道可由GPIO输入或者在芯片内部与OPA运放连接；其N端通道可由GPIO输入或者在芯片内部与DAC输出连接。

CMP3支持可选迟滞特性，支持内部N端偏置可选，以及输出端数字滤波功能。其P端通道可由GPIO输入或者在芯片内部与OPA运放连接；其N端通道由GPIO输入；其电压比较结果OUT0由GPIO模拟输出，OUT1和OUT2通过GPIO口推挽输出。此外，在芯片内部，CMP3的输出通道连接到TIM2的四个通道，用于捕获触发，还连接到TIM1的BKIN通道，作为TIM1的刹车源，实现过流保护。

这些OPA和CMP可支持组合为2组交流小信号放大解码器（Q111和Q112）和2组差分输入电流采样（ISP1和ISP2）。

1.4.18.1 交流小信号放大解码器（Q11）

芯片支持2组交流小信号放大解码器Q111和Q112。其中，Q111由1个前级的可调增益放大器OPA1、1个后级的电压比较器CMP1、数字滤波器组成；而Q112由1个前级的可调增益放大器OPA2、1个后级复用的电压比较器CMP2、数字滤波器组成。

输入的交流小信号通过OPA进行放大，并使用电压比较器整形为数字信号，经数字滤波器进行滤波后解码，可实现传输过程中的高质量与低误码率。也可以将放大后的信号送入ADC进行解码。

- Q111和Q112输出通道直连到ADC内部通道或比较器CMP输入端
- Q111和Q112支持PGA自偏置以及PGA多种增益可选，支持数字滤波
- Q112中的比较器CMP2的N端支持可选的内部自偏置电压

1.4.18.2 差分输入电流采样（ISP）

CH32M030支持2组差分输入的电流采样ISP1和ISP2，支持双电阻电流采样和过流保护。其中，ISP1由1个前级的可调增益放大器OPA3、1个后级复用的电压比较器CMP2或CMP3组成；ISP2由1个前级的可调增益放大器OPA4、1个后级复用的电压比较器CMP3组成。

ISP1和ISP2支持差分或单端应用。当差分应用时，ISP1和ISN1/PA8引脚为一对差分输入，ISP2/PA10和ISN2/PA11引脚为另一对差分输入；而当单端应用时，无需负端输入ISN，此时ISN1/PA8和ISN2/PA11引脚可用于任何用途，例如ADC或者GPIO。

ISP通过外部电阻采集电流得到弱电压信号，经闭环放大器OPA放大后，结果送入ADC或比较器。

- ISP1和ISP2支持差分或单端输入，增益及输出直流电平可配置
- ISP1和ISP2输出通道直连到ADC内部通道或比较器CMP输入端

1.4.19 可编程灌电流模块ISINK/源电流模块ISOURCE

系统提供了2组可编程灌电流模块ISINK和2组源电流模块ISOURCE。

可编程灌电流模块ISINK支持10位电流精度，可用于以20mV为步距对外部DC-DC进行高精度电压调节，实现PPS协议。

源电流模块可用于外接低成本的NTC感温电阻等，通过ADC计算温度。

1.4.20 栅极驱动器

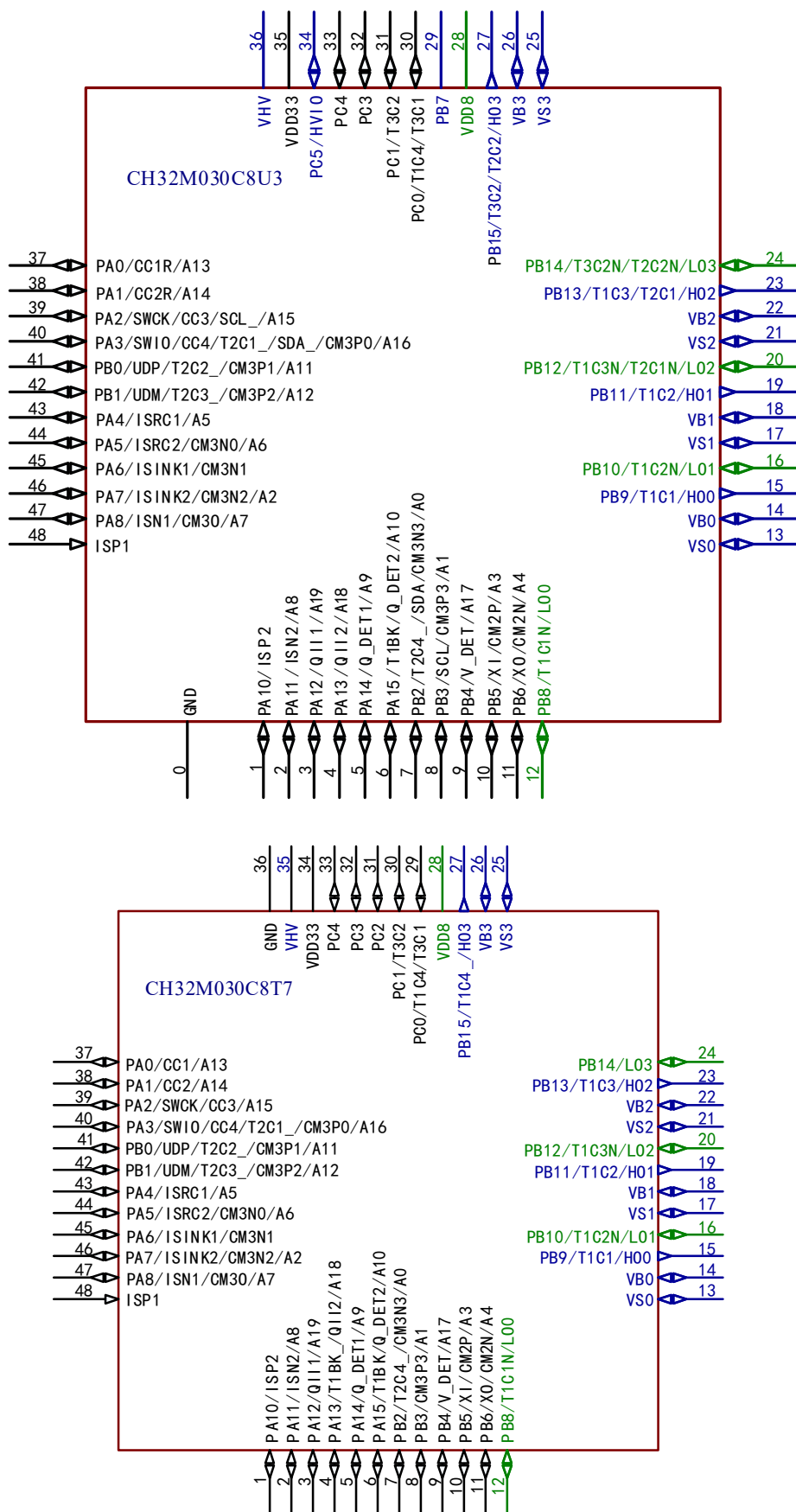
CH32M030集成了4个独立半桥驱动器，每个半桥均包含低压降的自举二极管、高侧和低侧电平移位电路、高侧和低侧输出驱动电路，支持4对N型MOSFET功率管的栅极驱动，外部仅需一个电容保存自举电源，栅极驱动电压取决于 V_{DD8} ，从5V到10V共4档可调。

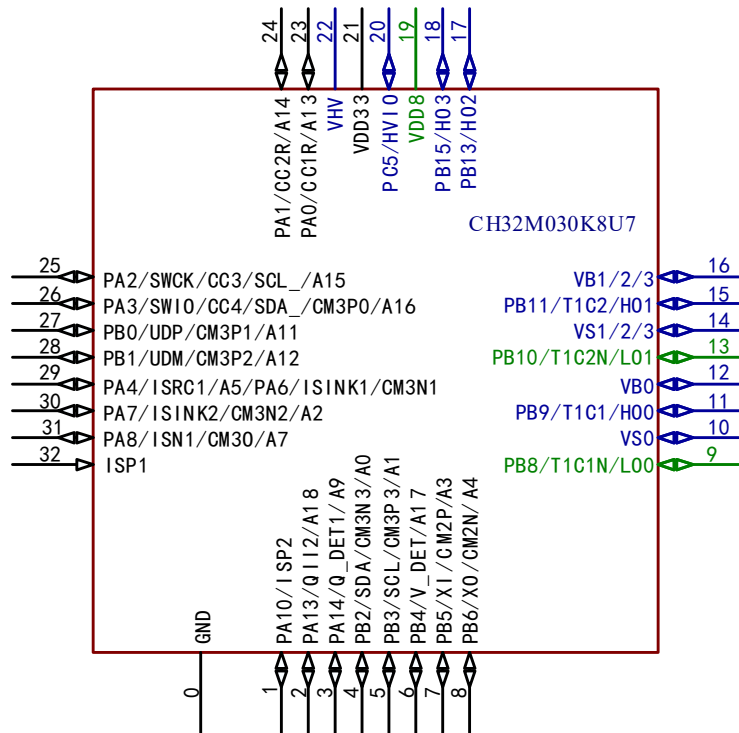
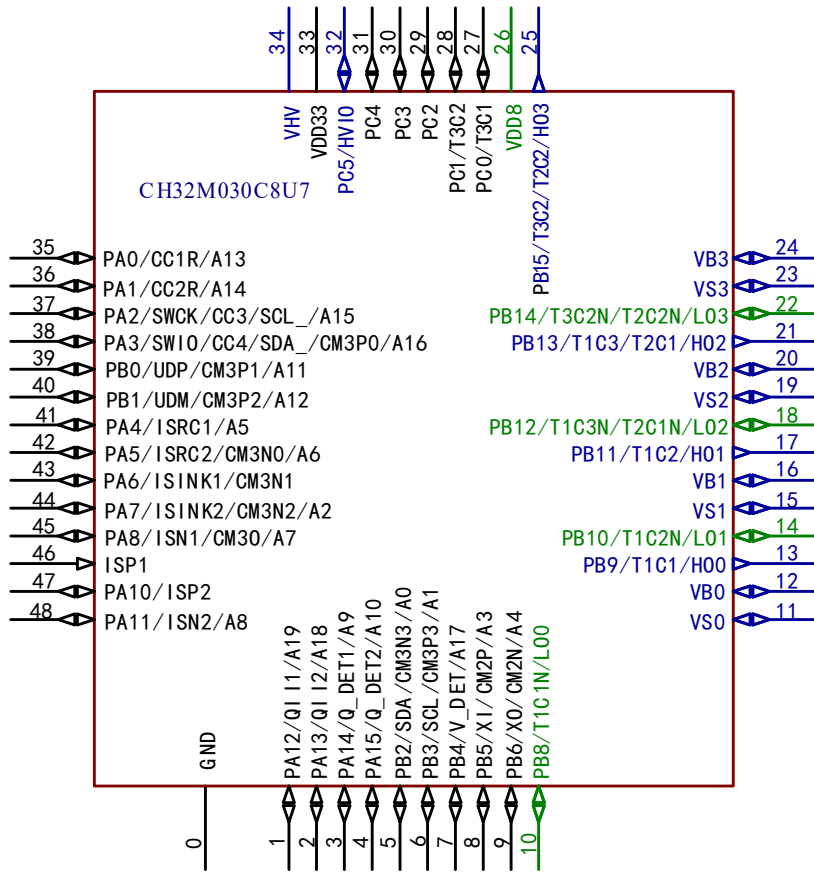
4个独立半桥可组成三相半桥，用于三相电机的栅极驱动，由TIM1产生的PB8~PB13信号控制；4个独立半桥也可组成2组全桥，用于两路独立的全桥驱动，分别由TIM1产生的PB8~PB11信号和TIM2产生的PB12~PB15信号控制。定时器产生PWM信号，支持死区时间控制，支持过流保护刹车控制。

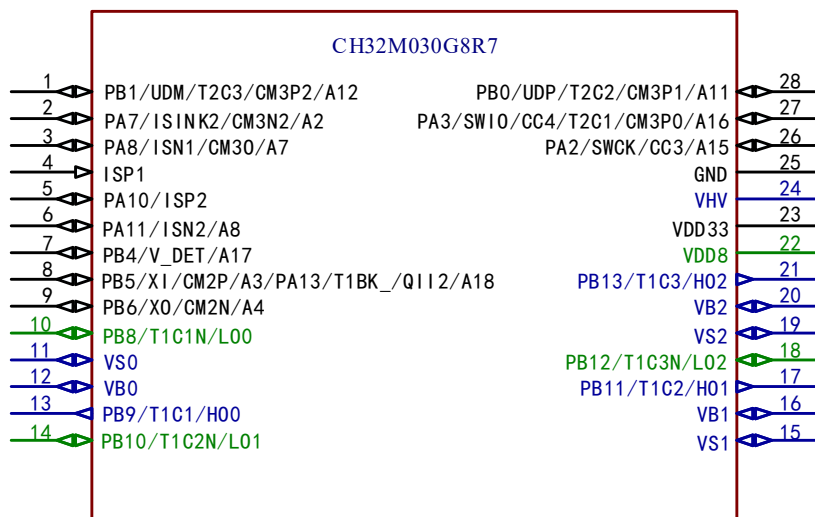
下图1-4为单个半桥驱动器的结构框图。

第2章 引脚信息

2.1 引脚排列







注：引脚图中复用功能均为缩写。

示例：A:ADC_(A13:ADC_IN13)

T:TIM_(T2C4:TIM2_CH4, T1C1N:TIM1_CH1N, T1BK:TIM1_BKIN)

CM3:CM3P_(CM3P2:CM3P2_P, CM3N2:CM3P2_N)

CM2:CM2P_(CM2P:CM2P_P, CM2N:CM2P_N)

SWCK:SWCLK

SWIO:SWDIO

ISRC:ISOURCE

2.2 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号芯片。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

表2-1 引脚定义

引脚编号					引脚名称	引脚类型 ⁽¹⁾	I/O特性 ⁽¹⁾⁽³⁾	主功能(复位后)	默认复用功能	重映射功能 ⁽²⁾
QSOP28	QFN32	QFN48	QFN48X7_A	LQFP48						
-	0	0	0	-	GND	P	-	GND		
5	1	47	1	1	PA10	I/O/A	-	PA10	ISP2	
6	-	48	2	2	PA11	I/O/A	-	PA11	ADC_IN8/ISN2	SPI_MOSI_2
-	-	1	3	3	PA12	I/O/A	-	PA12	ADC_IN19/QI11	
8	2	2	4	4	PA13 ⁽⁷⁾	I/O/A	-	PA13	ADC_IN18/QI12	TIM1_BKIN_1
-	3	3	5	5	PA14	I/O/A	-	PA14	ADC_IN9/ADC_ETR/ UART_CTS/Q_DET1	UART_CTS_1/I2C_SDA_2
-	-	4	6	6	PA15	I/O/A	-	PA15	ADC_IN10/TIM1_BKIN /UART_RTS/RST ⁽⁴⁾ /Q_DET2	TIM1_BKIN_2/TIM1_BKIN_3/ TIM1_BKIN_4/UART_RTS_1/ I2C_SCL_2
-	4	5	7	7	PB2	I/O/A	-	PB2	ADC_IN0/TIM3_CH1N/ I2C_SDA/CMP3_N3	TIM2_CH4_1/TIM2_CH4_3/ TIM2_CH2N_1/TIM2_CH2N_3/ TIM3_CH1_ETR_2/ TIM3_CH2_1/UART_CTS_3/ UART_CTS_4/UART_CTS_5
-	5	6	8	8	PB3	I/O/A	-	PB3	ADC_IN1/TIM3_CH2N/ I2C_SCL/CMP3_P3	TIM3_CH2_2/TIM3_CH2N_1/ UART_RTS_3/UART_RTS_4/ UART_RTS_5
7	6	7	9	9	PB4 ⁽¹¹⁾	I/O/A	-	PB4	ADC_IN17/CMP3_OUT1 /V_DET	TIM3_CH1N_2
8	7	8	10	10	PB5 ⁽⁷⁾	I/O/A	-	PB5	ADC_IN3/XI/ CMP3_OUT2/CMP2_PO	TIM3_CH2N_2/TIM3_CH2_3/ TIM2_CH1_ETR_3/ UART_RX_2/SPI_MOSI_1
9	8	9	11	11	PB6	I/O/A	-	PB6	ADC_IN4/XO/CMP2_N0	ADC_ETR_1/TIM2_CH2_3/ TIM3_CH2N_3/UART_TX_2/ I2C_SDA_1/SPI_SCK_1
10	9	10	12	12	PB8	I/O	MV/PD	PB8	L00/TIM1_CH1N	TIM1_CH1N_1/TIM1_CH1N_2/ TIM1_CH1N_4
11	10	11	13	13	V _{S0}	P	-	V _{S0}		
12	12	12	14	14	V _{B0}	P	-	V _{B0}		
13	11	13	15	15	PB9	O	MVO	PB9	H00/TIM1_CH1	TIM1_CH1_1/TIM1_CH1_2/ TIM1_CH1_4
14	13	14	16	16	PB10	I/O	MV/PD	PB10	L01/TIM1_CH2N	TIM1_CH2N_1/TIM1_CH2N_2/ TIM1_CH2N_4
15	14	15	17	17	V _{S1} ⁽⁸⁾	P	-	V _{S1}		
16	16	16	18	18	V _{B1} ⁽⁹⁾	P	-	V _{B1}		

17	15	17	19	19	PB11	0	MVO	PB11	H01/TIM1_CH2	TIM1_CH2_1/TIM1_CH2_2/ TIM1_CH2_4
18	-	18	20	20	PB12	I/O	MV/PD	PB12	L02/TIM1_CH3N	TIM1_CH3N_1/TIM1_CH3N_4/ TIM2_CH3_2/TIM2_CH1N_2/ TIM3_CH1N_4
19	14	19	21	21	V _{S2} ⁽⁸⁾	P	-	V _{S2}		
20	16	20	22	22	V _{B2} ⁽⁹⁾	P	-	V _{B2}		
21	17	21	23	23	PB13	0	MVO	PB13	H02/TIM1_CH3	TIM1_CH3_1/TIM1_CH3_4/ TIM2_CH1_ETR_2/ TIM3_CH1_ETR_4
-	-	22	24	24	PB14	I/O	MV/PD	PB14	L03	TIM1_CH3N_2/TIM2_CH4_2/ TIM2_CH2N_2/TIM3_CH2N_4
-	14	23	25	25	V _{S3} ⁽⁸⁾	P	-	V _{S3}		
-	16	24	26	26	V _{B3} ⁽⁹⁾	P	-	V _{B3}		
-	18	25	27	27	PB15	0	MVO	PB15	H03	TIM1_CH3_2/TIM1_CH4_1/ TIM2_CH2_2 ⁽¹⁰⁾ /TIM3_CH2_4
22	19	26	28	28	V _{DD8}	P	-	V _{DD8}		
-	-	-	29	-	PB7	0	HVOD	PB7		
-	-	27	30	29	PC0	I/O	-	PC0	TIM1_CH4/RST ⁽⁴⁾ TIM3_CH1_ETR/ UART_RX	TIM1_CH3N_3/TIM1_CH3N_4/ TIM3_CH1_ETR_1
-	-	28	31	30	PC1	I/O	-	PC1	TIM1_ETR/TIM3_CH2/ UART_TX	TIM1_ETR_1/TIM1_CH2N_3/ TIM1_CH2N_4/TIM3_CH1N_1/ UART_TX_1
-	-	29	-	31	PC2	I/O	-	PC2		TIM1_CH4_2/TIM1_CH1N_3/ TIM1_CH1N_4/UART_RX_1
-	-	30	32	32	PC3	I/O	-	PC3	SPI_MOSI	TIM1_CH1_3/TIM1_CH1_4
-	-	31	33	33	PC4	I/O	-	PC4	SPI_MISO	TIM1_CH2_3/TIM1_CH2_4/ SPI_MISO_2
-	20	32	34	-	PC5	I/O	HV	PC5		TIM1_CH4_3/ TIM2_CH2_2 ⁽¹⁰⁾
23	21	33	35	34	V _{DD33}	P	-	V _{DD33}		
24	22	34	36	35	V _{HV}	P	-	V _{HV}		
25	-	-	-	36	GND	P	-	GND		
-	23	35	37	37	PA0 ⁽⁵⁾	I/O/A	-	PA0	ADC_IN13/CC1 (CC1R) /SPI_NSS	TIM1_CH3_3/TIM1_CH3_4/ SPI_NSS_2
-	24	36	38	38	PA1 ⁽⁵⁾	I/O/A	-	PA1	ADC_IN14/CC2 (CC2R) /SPI_SCK	TIM1_CH4_4/SPI_SCK_2/ SPI_SCK_3
26	25	37	39	39	PA2 ⁽⁵⁾	I/O/A	-	PA2	ADC_IN15/SWCLK/CC3	TIM3_CH1_ETR_3/ UART_RX_4/UART_TX_5/ UART_GTS_2/I2C_SCL_1/ I2C_SCL_3/SPI_NSS_1/ SPI_NSS_3

27	26	38	40	40	PA3 ⁽⁵⁾	I/O/A	-	PA3	ADC_IN16/SWDIO/ SWIM/CC4/CMP3_P0	TIM2_CH1_ETR_1/ UART_RX_5/UART_TX_4/ I2C_SDA_3
28	27	39	41	41	PB0	I/O/A	-	PB0	ADC_IN11/UDP/ CMP3_P1	TIM2_CH2_1/UART_RX_3
1	28	40	42	42	PB1	I/O/A	-	PB1	ADC_IN12/UDM/ CMP3_P2	TIM2_CH3_1/TIM2_CH3_3/ TIM2_CH1N_1/TIM2_CH1N_3/ UART_TX_3
-	29	41	43	43	PA4 ⁽⁶⁾	I/O/A	-	PA4	ADC_IN5/TIM2_CH4/ TIM2_CH2N/ISOURCE1	TIM1_ETR_2/TIM1_ETR_3/ TIM1_ETR_4/TIM3_CH1N_3/ UART_RTS_2/SPI_MISO_1/ SPI_MISO_3
-	-	42	44	44	PA5	I/O/A	-	PA5	ADC_IN6/ TIM2_CH1_ETR/ CMP3_NO/ISOURCE2	
-	29	43	45	45	PA6 ⁽⁶⁾	I/O/A	-	PA6	TIM2_CH2/CMP3_N1/ ISINK1	
2	30	44	46	46	PA7	I/O/A	-	PA7	ADC_IN2/TIM2_CH3/ TIM2_CH1N/CMP3_N2/ ISINK2	
3	31	45	47	47	PA8	I/O/A	-	PA8	ADC_IN7/MCO/ CMP3_OUT0/ISN1	SPI_MOSI_3
4	32	46	48	48	ISP1	A	-	ISP1		

注1: 表格缩写解释:

I = TTL/CMOS电平斯密特输入, 支持 V_{DD33} 电压范围的输入;

O = CMOS电平三态输出, 支持 V_{DD33} 电压范围的输出;

P = 电源;

MV = 预驱动电压引脚, 支持 V_{DD8} 电压范围的输入和输出;

MVO = 预驱动电压引脚, 支持 V_{DD8} 电压范围的输出;

HV = 高压引脚, 支持 V_{HV} 电压范围的输入和输出;

HVOD = 高压引脚, 支持 V_{HV} 电压范围的开漏输出;

PD = 内置不可关闭的下拉电阻, 可用于驱动N-MOSFET的栅极;

A = 模拟信号输入或输出, 支持 V_{DD33} 电压范围。

注2: 重映射功能下划线后的数值表示AFIO寄存器中相对应位的配置值。例如: SPI_MOSI_2表示AFIO寄存器相应位配置为10b。

注3: 除PB7~PB15和PC5外, 所有GPIO引脚都支持可控上拉。PB0和PB1内置默认开启、可以调节、可以关闭的下拉电阻, 并可提供下拉电流; CC1/CC2/CC3/CC4如果有后缀R则表示内置Type-C规范定义的可控Rd下拉电阻, 默认开启; PA0/CC1R和PA1/CC2R引脚内置可控Rd下拉电阻; PB8、PB10、PB12、PB14内置不可关闭的下拉电阻; 除此之外的GPIO引脚均未内置下拉电阻。

注4: 对于复位引脚, 其位置选择由用户字配置位RST_PIN_SEL控制。当位RST_PIN_SEL = 1时, PA15为复位引脚; 当位RST_PIN_SEL = 0时, PC0为复位引脚。

注5: 当 $V_{HV} < 5V$ 且PA0~PA3作为ADC输入通道或GPIO推挽输出时, 其电压范围约为 $0V \sim (V_{DD33} - 1.7V)$ 。

注6: 对于CH32M030K8U7芯片, PA4和PA6引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。

注7: 对于CH32M030G8R7芯片, PB5和PA13引脚在芯片内部短接合封, 禁止将两个IO均配置为输出功能。

注8: 对于CH32M030K8U7芯片, V_{S1} 、 V_{S2} 和 V_{S3} 引脚在芯片内部短接合封。

注9: 对于CH32M030K8U7芯片, V_{B1} 、 V_{B2} 和 V_{B3} 引脚在芯片内部短接合封。

注10: 当寄存器AFIO_PCFR1的bit[11:10]TIM2_RM = 10且TIM2_CTLR1的bit[12]CH2_PWMOUT_EN = 1时, TIM2_CH2的PWM输出改为PC5引脚输出。PC5用于TIM2_CH2输出时为开源输出, 若TIM2_CH2为高电平, 则PC5为高电平状态; 若TIM2_CH2为低电平, 则PC5为高阻态。

注11: 当PB4作为 V_{HV} 分压监测功能使用时, 输入电压须不超过 $V_{DD33}-0.9V$ 。

表2-2 CH32M030专有引脚以及功能说明

名称	描述说明
L00, L01, L02, L03	内部低侧栅极驱动器的输出, 支持输入, 控制N型MOSFET的栅极。
H00, H01, H02, H03	内部高侧栅极驱动器的输出, 控制N型MOSFET的栅极。
V_{S0} , V_{S1} , V_{S2} , V_{S3}	内部高侧栅极驱动器的悬浮地。
V_{B0} , V_{B1} , V_{B2} , V_{B3}	内部高侧栅极驱动器的自举电源, 建议外接1uF~10uF容量电容到各自的悬浮地。

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号芯片。不同型号之间外设资源有差异，查看前请先根据芯片型号资源表确认是否有此功能。

表2-3 引脚复用和重映射功能

复用 引脚	ADC	TIM1	TIM2/3	UART	SYS	USB	I2C	SPI	ANA
PA0	ADC_IN13	TIM1_CH3_3 TIM1_CH3_4				CC1 (CC1R)		SPI_NSS SPI_NSS_2	
PA1	ADC_IN14	TIM1_CH4_4				CC2 (CC2R)		SPI_SCK SPI_SCK_2 SPI_SCK_3	
PA2	ADC_IN15		TIM3_CH1_ETR_3	UART_RX_4 UART_TX_5 UART_CTS_2	SWCLK	CC3	I2C_SCL_1 I2C_SCL_3	SPI_NSS_1 SPI_NSS_3	
PA3	ADC_IN16		TIM2_CH1_ETR_1	UART_RX_5 UART_TX_4	SWDIO SWIM	CC4	I2C_SDA_3		CMP3_P0
PA4	ADC_IN5	TIM1_ETR_2 TIM1_ETR_3 TIM1_ETR_4	TIM2_CH4 TIM2_CH2N TIM3_CH1N_3	UART_RTS_2				SPI_MISO_1 SPI_MISO_3	ISOURCE1
PA5	ADC_IN6		TIM2_CH1_ETR						CMP3_N0 ISOURCE2
PA6			TIM2_CH2						CMP3_N1 ISINK1
PA7	ADC_IN2		TIM2_CH3 TIM2_CH1N						CMP3_N2 ISINK2
PA8	ADC_IN7				MCO			SPI_MOS1_3	CMP3_OUT0 ISN1
PA10									ISP2
PA11	ADC_IN8							SPI_MOS1_2	ISN2
PA12	ADC_IN19								QI11
PA13	ADC_IN18	TIM1_BKIN_1							QI12
PA14	ADC_IN9 ADC_ETR			UART_CTS UART_CTS_1			I2C_SDA_2		Q_DET1
PA15	ADC_IN10	TIM1_BKIN TIM1_BKIN_2 TIM1_BKIN_3 TIM1_BKIN_4		UART_RTS UART_RTS_1	RST		I2C_SCL_2		Q_DET2
PB0	ADC_IN11		TIM2_CH2_1	UART_RX_3		UDP			CMP3_P1
PB1	ADC_IN12		TIM2_CH3_1 TIM2_CH3_3 TIM2_CH1N_1 TIM2_CH1N_3	UART_TX_3		UDM			CMP3_P2
PB2	ADC_IN0		TIM2_CH4_1 TIM2_CH4_3 TIM2_CH2N_1 TIM2_CH2N_3 TIM3_CH1_ETR_2 TIM3_CH2_1 TIM3_CH1N	UART_CTS_3 UART_CTS_4 UART_CTS_5			I2C_SDA		CMP3_N3
PB3	ADC_IN1		TIM3_CH2_2 TIM3_CH2N TIM3_CH2N_1	UART_RTS_3 UART_RTS_4 UART_RTS_5			I2C_SCL		CMP3_P3
PB4	ADC_IN17		TIM3_CH1N_2						CMP3_OUT1 V_DET
PB5	ADC_IN3		TIM3_CH2N_2 TIM3_CH2_3 TIM2_CH1_ETR_3	UART_RX_2	XI			SPI_MOS1_1	CMP3_OUT2 CMP2_P0
PB6	ADC_IN4 ADC_ETR_1		TIM2_CH2_3 TIM3_CH2N_3	UART_TX_2	X0		I2C_SDA_1	SPI_SCK_1	CMP2_N0
PB8		TIM1_CH1N TIM1_CH1N_1 TIM1_CH1N_2 TIM1_CH1N_4							

复用 引脚	ADC	TIM1	TIM2/3	UART	SYS	USB	I2C	SPI	ANA
PB9		TIM1_CH1 TIM1_CH1_1 TIM1_CH1_2 TIM1_CH1_4							
PB10		TIM1_CH2N TIM1_CH2N_1 TIM1_CH2N_2 TIM1_CH2N_4							
PB11		TIM1_CH2 TIM1_CH2_1 TIM1_CH2_2 TIM1_CH2_4							
PB12		TIM1_CH3N TIM1_CH3N_1 TIM1_CH3N_4	TIM2_CH3_2 TIM2_CH1N_2 TIM3_CH1N_4						
PB13		TIM1_CH3 TIM1_CH3_1 TIM1_CH3_4	TIM2_CH1_ETR_2 TIM3_CH1_ETR_4						
PB14		TIM1_CH3N_2	TIM2_CH4_2 TIM2_CH2N_2 TIM3_CH2N_4						
PB15		TIM1_CH3_2 TIM1_CH4_1	TIM2_CH2_2 TIM3_CH2_4						
PC0		TIM1_CH4 TIM1_CH3N_3 TIM1_CH3N_4	TIM3_CH1_ETR TIM3_CH1_ETR_1	UART_RX	RST				
PC1		TIM1_ETR TIM1_ETR_1 TIM1_CH2N_3 TIM1_CH2N_4	TIM3_CH2 TIM3_CH1N_1	UART_TX UART_TX_1					
PC2		TIM1_CH4_2 TIM1_CH1N_3 TIM1_CH1N_4		UART_RX_1					
PC3		TIM1_CH1_3 TIM1_CH1_4						SPI_MOSI	
PC4		TIM1_CH2_3 TIM1_CH2_4						SPI_MISO SPI_MISO_2	
PC5		TIM1_CH4_3	TIM2_CH2_2						

第3章 电气特性

3.1 测试条件

除非特殊说明和标注，所有电压都以GND为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值可基于以下三种环境之一用于设计指导：

- 1、单 V_{HV} 供电，常温 25°C 、 $V_{HV} = 12\text{V}$ ；
- 2、外部直接为 V_{DD8} 供电，常温 25°C 、 $V_{HV} = 12\text{V}$ 、 $V_{DD8} = 8\text{V}$ ，此时要求 $V_{DD8} \leq V_{HV}$ ；
- 3、外部直接为 V_{DD33} 和 V_{DD8} 供电，常温 25°C 、 $V_{HV} = 12\text{V}$ 、 $V_{DD8} = 8\text{V}$ 、 $V_{DD33} = 3.3\text{V}$ ，此时要求 $V_{DD33} \leq V_{DD8} \leq V_{HV}$ 。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图3-1-1 常规供电典型电路（单 V_{HV} 供电）

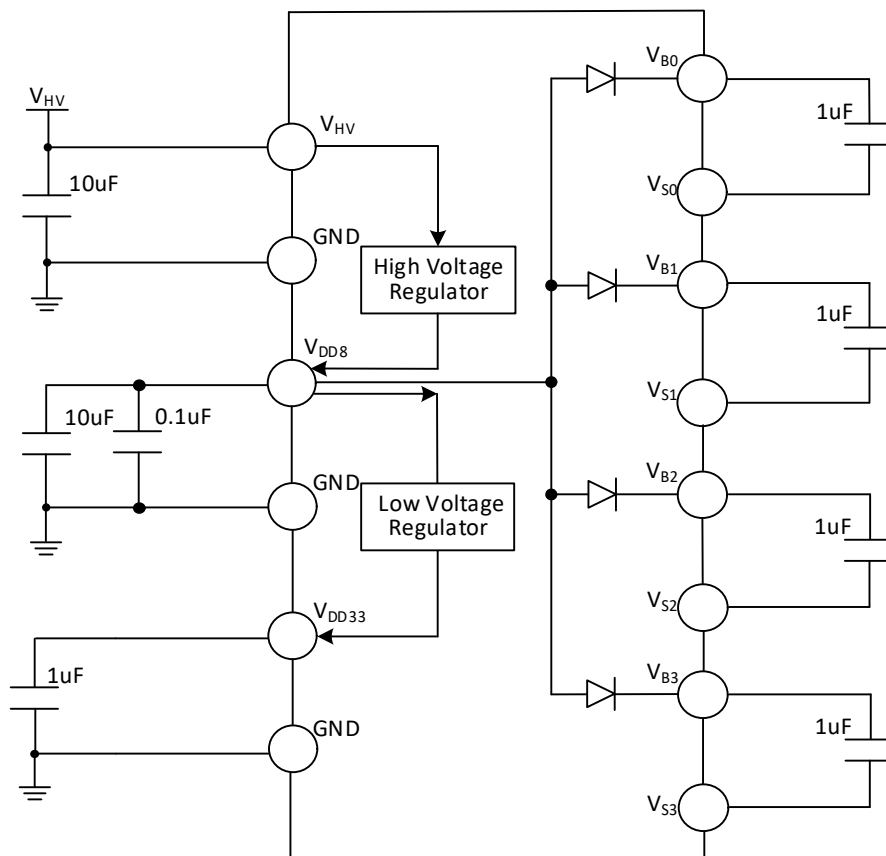


图3-1-2 常规供电典型电路（外部直接为 V_{DD8} 供电）

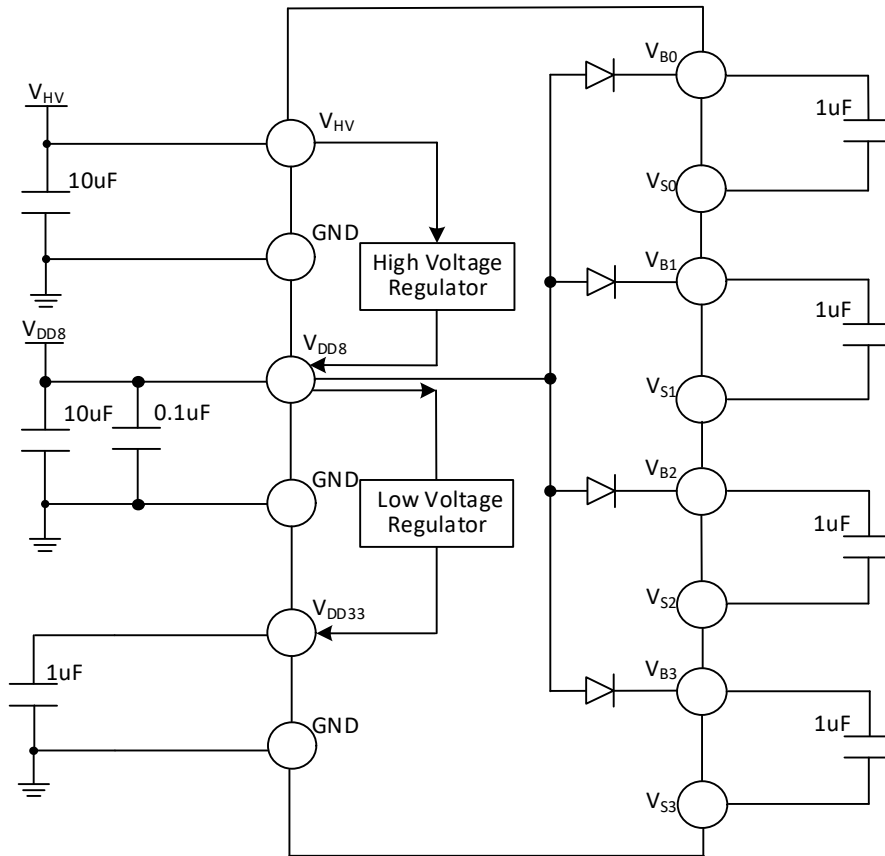
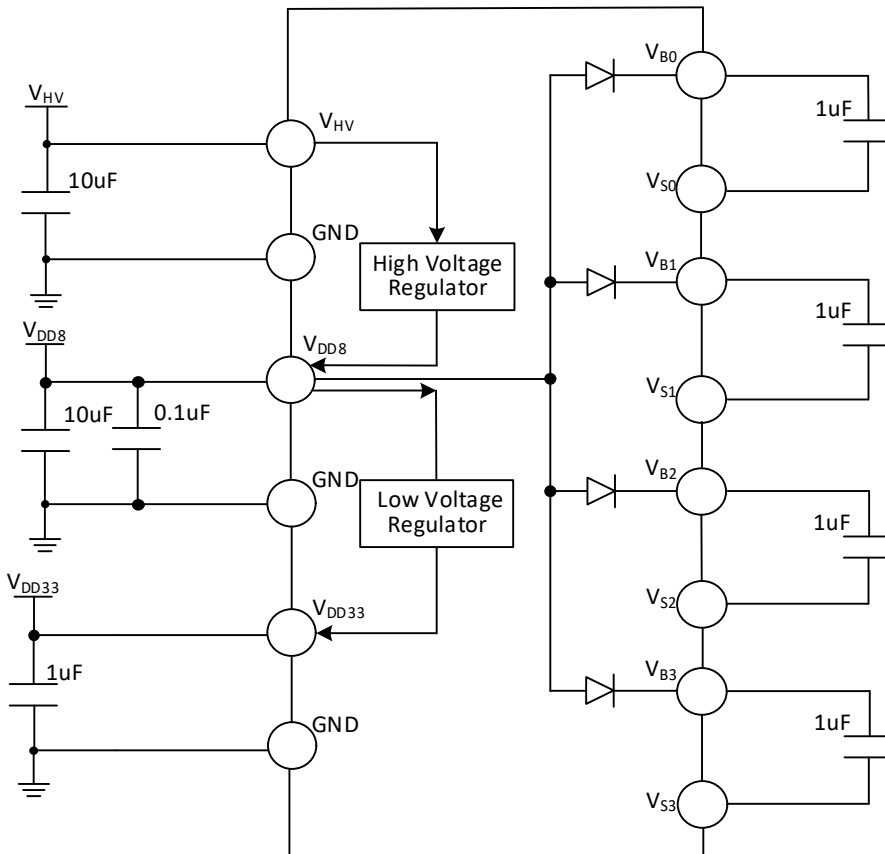


图3-1-3 常规供电典型电路（外部直接为 V_{DD33} 和 V_{DD8} 供电）



3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位	
T _A	工作时的环境温度	CH32M030C8T7、CH32M030C8U7 CH32M030G8R7、CH32M030K8U7	-40	105	°C
		CH32M030C8U3	-40	125	°C
	T _S	存储时的环境温度	-40	150	°C
V _{HV-GND}	外部主供电电压 (V _{HV})	-0.3	30	V	
V _{DD8-GND}	内部低压调压器和MV I/O引脚的供电电压 (V _{DD8})	-0.3	12	V	
V _{DD33-GND}	普通I/O引脚和模拟部分的电源电压 (V _{DD33})	-0.3	3.8	V	
V _{IN}	HV高压I/O引脚PC5上的输入电压	-0.3	V _{HV} +7	V	
	HV高压I/O引脚PB7上的电压	-0.3	40	V	
	耐高压I/O引脚CCx上的输入电压 (可能有漏电)	-0.3	28	V	
	普通I/O引脚上的输入电压	-0.3	V _{DD33} +0.3	V	
V _B	高侧自举电源电压	-0.3	40	V	
V _{BPEAK}	高侧自举1%占空比脉冲电压	-0.3	42	V	
V _S	高侧悬浮地电压	-2	30	V	
V _{SPEAK}	高侧悬浮地1%占空比脉冲电压	-5	32	V	
V _{B-S}	高侧自举电源相对悬浮地的压差	-0.3	12	V	
V _{HO}	高侧驱动器的输出电压	V _S -0.3	V _B +0.3	V	
V _{LO}	低侧驱动器的输出电压	-0.3	V _{DD8} +0.3	V	
V _{ESD (HBM)}	对外引脚USB和PD的ESD静电放电电压 (HBM)	4K		V	
	其它引脚的ESD静电放电电压 (HBM)	2K		V	
I _{PEAKVB}	V _B 内置二极管1%占空比脉冲输出电流		70	mA	
I _{AVVB}	V _B 内置二极管连续输出电流		7	mA	
I _{VHV}	所有V _{HV} 引脚连续输入电流 (供应电流)		60	mA	
I _{GND}	所有GND公共地引脚的合计总电流 (流出电流)		200	mA	
I _{IO}	HV高压I/O引脚上的灌电流或源电流		+/-5	mA	
	MV预驱动I/O引脚上的灌电流或源电流		+/-80	mA	
	其它普通I/O引脚上的sink灌电流或source源电流		+/-30	mA	
I _{INJ (PIN)}	HSE的XI引脚		+/-4	mA	
	其它引脚的注入电流		+/-4	mA	
Σ I _{INJ (PIN)}	所有IO和控制引脚的总注入电流		+/-20	mA	

3.3 电气参数

3.3.1 工作条件

表3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F _{HCLK}	内部HB时钟频率	T _A = -40°C~105°C		72	MHz
		T _A = -40°C~125°C		68	MHz
V _{HV}	内部高压调压器和HV I/O引脚的电源	T _A = -40°C~105°C	4.0	29.0	V

	电压	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	4.3	28.0	V
V_{DD8}	内部低压调压器和MV I/O引脚的电源电压	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	4.0	10.5	V
		$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	4.3	10.0	V
V_{DD33}	普通I/O引脚和模拟部分的电源电压		3.1	3.5	V
V_S	高侧悬浮地电压	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-2.0	29.0	V
		$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	-2.0	28.0	V

表3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VHV}	V_{HV} 上升速率		3	∞	us/V
	V_{HV} 下降速率		20	∞	

3.3.2 内置复位和电源模块特性

表3-4 复位和调压器及电压监测

符号	参数	条件	最小值	典型值	最大值	单位
$V_{POR/PDR}$	上电/掉电复位阈值	V_{DD33} 上升沿阈值	2.8	3.0	3.1	V
		V_{DD33} 下降沿阈值	2.6	2.9	3.0	V
		V_{DD8} 阈值	3.05	3.15	3.25	V
$V_{PDRhyst}$	PDR迟滞	V_{DD33} 阈值		100	150	mV
$V_{OVP_REF}^{(3)}$	OVP过压复位阈值电压	上升沿		1.5		V
		下降沿		1.45		V
V_{DD8}	高压调压器的输出电压	$V_{DD8_SEL}[1:0] = 00$ 且 $V_{HV} \geq 5.8\text{V}$	4.9	5.0	5.1	V
		$V_{DD8_SEL}[1:0] = 01$ 且 $V_{HV} \geq 8.8\text{V}$	7.8	8.0	8.2	V
I_{VDD8}	高压调压器的负载电流 (含MV I/O和低压调压器等所有负载)				35	mA
V_{DD33}	低压调压器的输出电压		3.24	3.3	3.36	V
I_{VDD33}	低压调压器的负载电流 (含普通I/O和内核调压器等所有负载)				20	mA
T_{OTP}	OTP过温保护的溫度点	升温过程	130	145	160	$^{\circ}\text{C}$
	解除过温保护的溫度点	降温过程	125	135	150	$^{\circ}\text{C}$
t_{RST}	上电复位延时			3 ⁽²⁾		ms
	其他复位延时			300		us

注：1. 常温测试值。

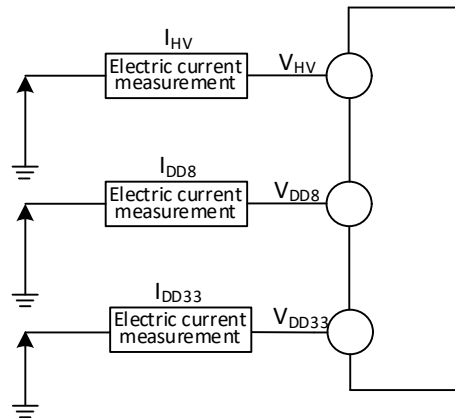
2. 用户配置位RST_MODE可以增加上电复位延时。

3. V_{OVP_REF} 需要结合片外电阻分压的比例，来决定 V_{HV} 电压的过压保护点。例如：上电阻200K和下电阻15K将得到约21.5V的过压复位电压。

3.3.3 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O引脚的负载、软件配置、工作频率、I/O脚的翻转速率、程序在存储器中的位置以及执行的代码等。电流消耗测量方法如下图：

图3-2 电流消耗测量



微控制器处于下列条件：

常温 $V_{HV} = 12V$ ($V_{DD8} = 8V$ 、 $V_{DD33} = 3.3V$) 情况下，测试时：支持上拉输入的I/O口配置成上拉输入模式，其他配置为模拟输入模式。HSE = 8M、HSI = 8M（已校准）。使能或关闭所有外设时钟的功耗。

表3-5 运行模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
I_{HV}	运行模式下的供应电流	运行于高速内部RC振荡器 (HSI)，使用HB预分频以减低频率	$F_{HCLK} = 72MHz$	12.0	6.3	mA
			$F_{HCLK} = 48MHz$	9.0	4.9	
			$F_{HCLK} = 24MHz$	5.9	3.5	
			$F_{HCLK} = 8MHz$	1.9	1.4	
			$F_{HCLK} = 4MHz$	1.4	1.1	
		运行于高速外部时钟 (HSE)，使用HB预分频以减低频率	$F_{HCLK} = 72MHz$	12.2	6.5	mA
			$F_{HCLK} = 48MHz$	9.2	5.1	
			$F_{HCLK} = 24MHz$	6.1	3.7	
			$F_{HCLK} = 8MHz$	2.1	1.6	
			$F_{HCLK} = 4MHz$	1.6	1.3	

注：以上为实测参数。

表3-6 睡眠模式下典型的电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
I_{HV}	SLEEP睡眠模式下的供应电流（此时外设供电和时钟保持）	运行于高速内部RC振荡器 (HSI)，使用HB预分频以减低频率	$F_{HCLK} = 72MHz$	9.5	3.9	mA
			$F_{HCLK} = 48MHz$	7.1	3.1	
			$F_{HCLK} = 24MHz$	4.7	2.3	
			$F_{HCLK} = 8MHz$	1.1	0.6	
			$F_{HCLK} = 4MHz$	0.7	0.5	
		运行于高速外部时钟 (HSE)，使用HB预分频以减低频率	$F_{HCLK} = 72MHz$	9.9	4.2	mA
			$F_{HCLK} = 48MHz$	7.5	3.4	
			$F_{HCLK} = 8MHz$	1.4	0.9	

			$F_{HCLK} = 4\text{MHz}$	1.0	0.8	
--	--	--	--------------------------	-----	-----	--

注：以上为实测参数。

表3-7 待机模式下典型的电流消耗

符号	参数	条件	典型值	单位	
I_{HV}	STOP停止模式下的供应电流	$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 5\text{V}$	104	uA	
		$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 8\text{V}$	114		
		$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 9\text{V}$	123		
		$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 10\text{V}$	133		
	STANDBY待机模式下的供应电流	$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 5\text{V}$	LSI打开	76	uA
			LSI关闭	74	
		$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 8\text{V}$	LSI打开	94	
			LSI关闭	92	
$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 9\text{V}$		LSI打开	102		
		LSI关闭	102		
$V_{HV} = 12\text{V}$ 、 $V_{DD8} = 10\text{V}$	LSI打开	114			
	LSI关闭	114			

注：以上为实测参数。

3.3.4 外部时钟源特性

表3-8 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSE_ext}	外部时钟频率		4	8	25	MHz
$V_{HSEH}^{(1)}$	XI输入引脚高电平电压		$0.8 \cdot V_{DD33}$		V_{DD33}	V
$V_{HSEL}^{(1)}$	XI输入引脚低电平电压		0		$0.2 \cdot V_{DD33}$	V
$C_{in(HSE)}$	XI输入电容			5		pF
$DuCy_{(HSE)}$	占空比 (Duty cycle)		40	50	60	%
I_L	XI输入漏电流				± 1	uA

注：1. 不满足此条件可能会引起电平识别错误。

图3-3 外部提供高频时钟源电路

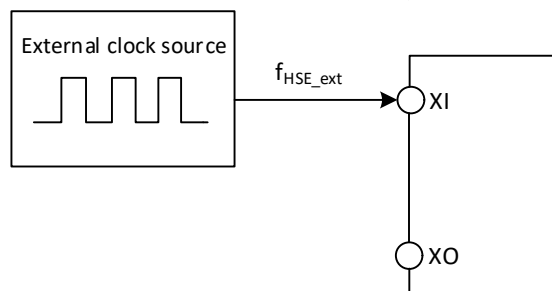


表3-9 使用一个晶体/陶瓷谐振器产生的高速外部时钟

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

F_{X1}	谐振器频率		4	8	25	MHz
R_F	反馈电阻（无需外置）			250		k Ω
C_{LOAD}	建议的负载电容与对应晶体 串行阻抗 R_s	$R_s = 60\Omega^{(1)}$		20		pF
I_2	HSE驱动电流	$V_{DD33} = 3.3V$, 20p负载		0.3		mA
g_m	振荡器的跨导	启动		16		mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 是稳定		2 ⁽²⁾		ms

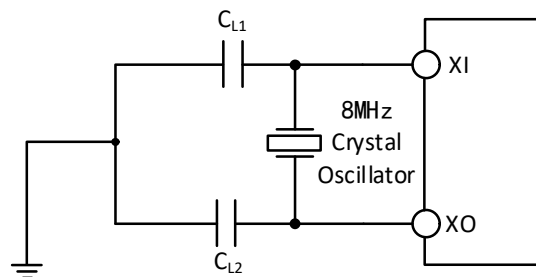
注：1. 25M晶体ESR建议不超过80欧，低于25M可适当放宽。

2. 启动时间指从HSEON开启到HSERDY被置位的时间差。

电路参考设计及要求：

晶体的负载电容以晶体厂商建议为准，通常情况 $C_{L1} = C_{L2}$ 。

图3-4 外接8M晶体典型电路



3.3.5 内部时钟源特性

表3-10 内部高速(HSI)RC振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率(校准后)			8		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI振荡器的精度(校准后)	$T_A = 0^{\circ}C \sim 70^{\circ}C$	-1.5		1.5	%
		$T_A = -40^{\circ}C \sim 85^{\circ}C$	-2.0		2.0	%
		$T_A = -40^{\circ}C \sim 125^{\circ}C$	-2.2		2.2	%
$t_{SU(HSI)}$	HSI振荡器启动稳定时间			10		us
$I_{DD(HSI)}$	HSI振荡器功耗		120	180	270	uA

表3-11 内部低速(LSI)RC振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		240	340	450	kHz
$DuTy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI振荡器启动稳定时间			80		us
$I_{DD(LSI)}$	LSI振荡器功耗			2		uA

3.3.6 从低功耗模式唤醒的时间

表3-12 低功耗模式唤醒的时间⁽¹⁾

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用HSI RC时钟唤醒	24	us
t_{WUSTOP}	从停止模式唤醒	使用HSI RC时钟唤醒	255	us

$t_{WUSTDBY}$	从待机模式唤醒	LDO稳定时间 + HSI RC时钟唤醒	260	us
---------------	---------	----------------------	-----	----

注：以上为实测参数。

3.3.7 存储器特性

表3-13 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog_page}	页（128字节）编程时间		3.9	4.5	5.1	ms
t_{erase_page}	页（128字节）擦除时间		3.9	4.5	5.1	ms
t_{ME}	整片擦除时间		3.9	4.5	5.1	ms

表3-14 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	擦写次数	$T_A = 25^\circ C$	10K	50K ⁽¹⁾		次
		$T_A = 125^\circ C$	1K	5K ⁽¹⁾		次
t_{RET}	数据保存期限		10			年

注：1. 实测操作擦写次数，非担保。

3.3.8 普通I/O引脚特性

表3-15 普通I/O引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
V_{IH}	I/O引脚输入高电平电压	$V_{DD33} = 3.3V$	1.8		V_{DD33}	V
V_{IL}	I/O引脚输入低电平电压	$V_{DD33} = 3.3V$	0		0.8	V
V_{hys}	施密特触发器迟滞电压	$V_{DD33} = 3.3V$		300		mV
I_{1kg}	I/O引脚输入漏电流			0	+/-3	uA
R_{PU}	上拉等效电阻		30	45	60	kΩ
C_{I0}	I/O引脚电容			5		pF

表3-16 普通I/O引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{SINK}	引脚输出低电平的灌电流	$V_{DD33} = 3.3V$, 引脚电压=0.4V	14	20	27	mA
I_{SOURCE}	引脚输出高电平的源电流	$V_{DD33} = 3.3V$, 引脚电压= $V_{DD33}-0.4V$	13	18	24	mA

表3-17 普通I/O引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平，单个引脚吸收8mA电流	$V_{DD33} \geq 3V$		0.5	V
V_{OH}	输出高电平，单个引脚输出8mA电流	$V_{DD33} \geq 3V$	$V_{DD33}-0.5$		V

注：1. 当 $V_{HV} < 5V$ 且PA0~PA3输出高电平时，电压达不到 V_{DD33} 满幅，约为 $V_{DD33}-1.7V$ 。

2. 以上条件中如果多个I/O引脚同时驱动，电流总和不能超过表3.2节给出的绝对最大额定值。另外多个I/O引脚同时驱动时，电源/地线引脚上的电流较大，会产生压降使内部I/O的电压达不到表中电源电压，从而导致驱动电流小于标称值。

表3-18 普通I/O引脚输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$F_{\max(10)\text{out}}$	I/O引脚输出最高频率	$CL = 50\text{pF}, V_{\text{DD33}} \geq 3\text{V}$		30	MHz
$t_{\text{f}(10)\text{out}}$	输出高至低电平的下降时间	$CL = 50\text{pF}, V_{\text{DD33}} \geq 3\text{V}$		12	ns
$t_{\text{r}(10)\text{out}}$	输出低至高电平的上升时间			12	ns
t_{EXTIpw}	EXTI控制器检测到外部信号的脉冲宽度		12		ns

3.3.9 MV I/O引脚特性

表3-19 MV I/O引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD8}	供电电压		4.0	8.0	10.5	V
V_{IH}	I/O引脚输入高电平电压		2.0		V_{DD8}	V
V_{IL}	I/O引脚输入低电平电压		0		0.7	V
V_{hys}	施密特触发器迟滞电压			500		mV
I_{Ikg}	I/O引脚输入漏电流	引脚电压 = GND	-5	0	5	μA
		引脚电压 = 5V	30	42	63	μA
R_{PD}	下拉等效电阻		80	120	170	$\text{k}\Omega$
C_{I0}	I/O引脚电容			10		pF

表3-20 MV I/O引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{LSINK}	引脚输出低电平的灌电流	$V_{\text{DD8}} = 8\text{V}$, 引脚电压 = 0.5V	75	110	145	mA
	引脚输出低电平的短路电流	$V_{\text{DD8}} = 8\text{V}$, 引脚电压 = V_{DD8}		620		mA
	引脚输出低电平的灌电流	$V_{\text{DD8}} = 5\text{V}$, 引脚电压 = 0.5V	60	90	120	mA
	引脚输出低电平的短路电流	$V_{\text{DD8}} = 5\text{V}$, 引脚电压 = V_{DD8}		320		mA
	引脚输出低电平的灌电流	$V_{\text{DD8}} = 10\text{V}$, 引脚电压 = 0.5V	80	120	160	mA
	引脚输出低电平的短路电流	$V_{\text{DD8}} = 10\text{V}$, 引脚电压 = V_{DD8}		740		mA
I_{LSOURCE}	引脚输出高电平的源电流	$V_{\text{DD8}} = 8\text{V}$, 引脚电压 = $V_{\text{DD8}} - 0.5\text{V}$	30	50	65	mA
	引脚输出高电平的短路电流	$V_{\text{DD8}} = 8\text{V}$, 引脚电压 = GND		350		mA
	引脚输出高电平的源电流	$V_{\text{DD8}} = 5\text{V}$, 引脚电压 = $V_{\text{DD8}} - 0.5\text{V}$	25	38	55	mA
	引脚输出高电平的短路电流	$V_{\text{DD8}} = 5\text{V}$, 引脚电压 = GND		170		mA
	引脚输出高电平的源电流	$V_{\text{DD8}} = 10\text{V}$, 引脚电压 = $V_{\text{DD8}} - 0.5\text{V}$	35	55	75	mA
	引脚输出高电平的短路电流	$V_{\text{DD8}} = 10\text{V}$, 引脚电压 = GND		480		mA

注：1. 对于H0引脚，高电平对应 V_b 电压，低电平对应 V_s 电压，测试条件基于两者差值 $V_{b,s}$ 电压， $V_{b,s}$ 电压条件参考上述 V_{DD8} 的值。

2. 测试引脚电流、驱动器短路电流时，建议采用低占空比脉冲测试且考虑芯片及时散热。

表3-21 MV I/O引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{LOL}	输出低电平，单个引脚吸收50mA灌电流	$5\text{V} \leq V_{\text{DD8}} \leq 10\text{V}$		0.5	V
V_{LOH}	输出高电平，单个引脚输出25mA源电流	$5\text{V} \leq V_{\text{DD8}} \leq 10\text{V}$	$V_{\text{DD8}} - 0.5$		V

注：以上条件中如果多个I/O引脚同时驱动，电流总和不能超过表3.2节给出的绝对最大额定值。另外多个I/O引脚同时驱动时，电源/地线引脚上的电流较大，会产生压降使内部I/O的电压达不到表中电源电压，从而导致驱动电流小于标称值。

表3-22 MV I/O引脚输入输出交流特性

符号	参数	条件	最小值	典型值	最大值	单位
$F_{Lmax(10)out}$	I/O引脚输出最高频率	$CL = 2000pF,$ $5V \leq V_{DD8} \leq 10V$			400	kHz
$t_{LF(10)out}$	输出高至低电平的下降时间	$CL = 2000pF,$ $5V \leq V_{DD8} \leq 10V$		35	70	ns
$t_{Lr(10)out}$	输出低至高电平的上升时间			50	100	ns
$t_{LEXT1pw}$	EXTI 控制器检测到外部信号的脉冲宽度		12			ns

3.3.10 HV I/O引脚特性

表3-23 HV I/O引脚静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{HV}	供电电压		4.0		29.0	V
V_{HPC5}	PC5不输出时的引脚耐压			V_{HV}	$V_{HV}+6$	V
V_{HPB7}	PB7不输出时的引脚耐压			V_{HV}	38	V
V_{H1H}	I/O引脚输入高电平电压		2.0		V_{HV}	V
V_{H1L}	I/O引脚输入低电平电压		0		0.7	V
V_{Hhys}	施密特触发器迟滞电压			500		mV
I_{H1kg}	I/O引脚输入漏电流		-5	0	5	μA
C_{H10}	I/O引脚电容			8		pF

表3-24 HV I/O引脚输出驱动电流特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{HSINK}	引脚输出低电平的灌电流	$V_{HV} = 29V,$ 引脚电压= 0.5V	0.8	1.2	1.6	mA
	引脚输出低电平的短路电流	$V_{HV} = 29V,$ 引脚电压= V_{HV}		5		mA
	引脚输出低电平的灌电流	$V_{HV} = 8V,$ 引脚电压= 0.5V	0.8	1.2	1.6	mA
	引脚输出低电平的短路电流	$V_{HV} = 8V,$ 引脚电压= V_{HV}		5		mA
$I_{HSOURCE}$	引脚输出高电平的源电流	$V_{HV} = 29V,$ 引脚电压= $V_{HV}-0.5V$	0.5	0.9	1.3	mA
	引脚输出高电平的短路电流	$V_{HV} = 29V,$ 引脚电压= 0		8		mA
	引脚输出高电平的源电流	$V_{HV} = 8V,$ 引脚电压= $V_{HV}-0.5V$	0.5	0.9	1.3	mA
	引脚输出高电平的短路电流	$V_{HV} = 8V,$ 引脚电压= 0		8		mA

注：测试引脚电流、驱动器短路电流时，建议采用低占空比脉冲测试且考虑芯片及时散热。

表3-25 HV I/O引脚输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{HOL}	输出低电平，单个引脚吸收2mA电流	$5V \leq V_{HV} \leq 12V$		0.5	V
V_{HOH}	输出高电平，单个引脚输出0.2mA电流	$5V \leq V_{HV} \leq 12V$	$V_{HV}-0.5$		V

注：以上条件中如果多个I/O引脚同时驱动，电流总和不能超过表3.2节给出的绝对最大额定值。另外多个I/O引脚同时驱动时，电源/地线引脚上的电流较大，会产生压降使内部I/O的电压达不到表中电源电压，从而导致驱动电流小于标称值。

表3-26 HV I/O引脚输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$F_{Hmax(10)out}$	I/O引脚输出最高频率	$CL = 20pF,$		100	kHz

		$4V \leq V_{HV} \leq 29V$			
$t_{HF(10)out}$	输出高至低电平的下降时间	$CL = 20pF,$ $4V \leq V_{HV} \leq 29V$		100	ns
$t_{Hr(10)out}$	输出低至高电平的上升时间			100	ns
$t_{HEXT1pw}$	EXTI控制器检测到外部信号的脉冲宽度		12		ns

3.3.11 USB/BC接口UDP和UDM特性

表3-27 USB/BC接口I/O引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	USB工作电压		3.1	3.3	3.5	V
V_{SE}	单端接收器阈值	额定电压	1.2		1.9	V
R_{PU}	BC引脚上拉等效电阻	DAC = 100000	20	31	45	k Ω
R_{PD}	BC引脚下拉等效电阻	DAC = 100000	20	31	45	k Ω
I_{PU2}	BC引脚弱上拉电流	PCS = 10, BC输出电压为0.6V	7	10	15	μ A
I_{PD3}	BC引脚弱下拉电流	PCS = 11, BC输出电压为0.6V	1	2	5	μ A
I_{PD1}	BC引脚下拉电流	PCS = 01, BC输出电压为0.6V	55	80	120	μ A
ET	DAC总偏差	$V_{DD33} = 3.3V$		0.3	1	LSB
V_{DACmax}	DAC最高输出电压	$V_{DD33} = 3.3V$, 无阻性负载	3.2	3.25		V
V_{DACmin}	DAC最低输出电压	$V_{DD33} = 3.3V$, 无阻性负载		0	0.02	V
R_{DAC}	DAC输出阻抗	$V_{DD33} = 3.3V$, 关闭DAC缓冲器	12	15.5	20	k Ω
R_{LOAD}	电阻性负载	开启DAC缓冲器	10			k Ω
I_{DDDAC}	DAC缓冲器供电电流			135		μ A
$V_{DACBmax}$	带缓冲器DAC最高输出电压	$V_{DD33} = 3.3V$, 负载10k Ω 下拉	3.1	3.2		V
$V_{DACBmin}$	带缓冲器DAC最低输出电压	$V_{DD33} = 3.3V$, 负载10k Ω 下拉		0.005	0.02	V
		$V_{DD33} = 3.3V$, 负载10k Ω 上拉		0.08	0.15	V
tBuf	DAC缓冲器作为比较器用的输出延时			400	800	ns

3.3.12 USB PD接口特性

表3-28-1 PD接口I/O引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
tRise	上升时间	幅度10%到90%之间的时间, 无负载	300	430	600	ns
tFall	下降时间	幅度10%到90%之间的时间, 无负载	300	430	600	ns
vSwing	输出电压摆幅 (峰-峰值)		1.00	1.12	1.20	V
zDriver	输出阻抗	$V_{DD33} = 3.3V$, PD接口输出1.12V	26		90	Ω
		$V_{DD33} = 3.3V$, PD接口输出3.3V		40		Ω

表3-28-2 Type-C接口I/O引脚特性 (USBPDx_CC_HVT = 0时电压值参考普通I/O引脚)

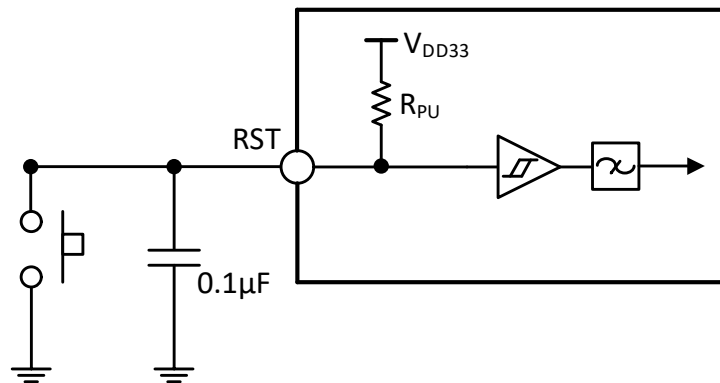
符号	参数	条件	最小值	典型值	最大值	单位
V_{CC1H}	CC引脚输入高电平电压	$V_{DD33} = 3.3V$, USBPDx_CC_HVT = 1 (x=0, 1)	2.1		V_{DD33}	V
V_{CC1L}	CC引脚输入低电平电压	$V_{DD33} = 3.3V$, USBPDx_CC_HVT = 1 (x=0, 1)	0		1.9	V
V_{CChys}	施密特触发器迟滞电压	$V_{DD33} = 3.3V$, USBPDx_CC_HVT = 1 (x=0, 1)		200		mV
I_{PUCC}	CC引脚上拉电流	CCx_PU = 11 (x=1, 2),	68	80	92	μ A

		PAD < $V_{DD33}-0.6V$				
		CCx_PU = 10 (x=1, 2), PAD < $V_{DD33}-0.6V$	150	180	210	uA
		CCx_PU = 01 (x=1, 2), PAD < $V_{DD33}-0.6V$	280	330	380	uA
Rd	CC引脚内置的Rd下拉电阻 (适用于带R后缀的CCxR)	CCx_PD = 1 (x=1, 2), $V_{DD33} \geq 3.1V$ 或外部上拉330uA	4.08	5.1	6.12	kΩ
Rwpd	CC引脚内置的弱下拉电阻	CCx_PD = 0 (x=1, 2)	250	600		kΩ
V _{A1NCC}	CC引脚ADC转换电压范围	$V_{HV} > 5V$	0		V_{DD33}	V
		$V_{HV} < 5V$	0		$V_{DD33}-1.7$	V

3.3.13 RST引脚特性

电路参考设计及要求：

图3-5 外部复位引脚典型电路



注：图中的电容是可选的，可以用于滤除按键抖动。

表3-29 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(RST)}$	RST输入低电平电压	$V_{DD33} = 3.3V$	0		0.8	V
$V_{IH(RST)}$	RST输入高电平电压	$V_{DD33} = 3.3V$	1.8		V_{DD33}	V
$V_{hys(RST)}$	RST施密特触发器迟滞电压		200			mV
R_{PU}	上拉等效电阻		30	45	60	kΩ
$V_F(RST)$	RST输入可被滤波脉宽				60	ns
$V_{NF(RST)}$	RST输入无法滤波脉宽		230			ns

3.3.14 TIM定时器特性

表3-30 TIMx特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	20.8		ns
F_{EXT}	CH1至CH3的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	24	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16位计数器时		1	65536	$t_{TIMxCLK}$

	钟周期	$f_{TIMxCLK} = 48MHz$	0.0208	1363	us
t_{MAX_COUNT}	最大可能的计数			65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$		1363	us

3.3.15 I2C接口特性

图3-6 I2C总线时序图

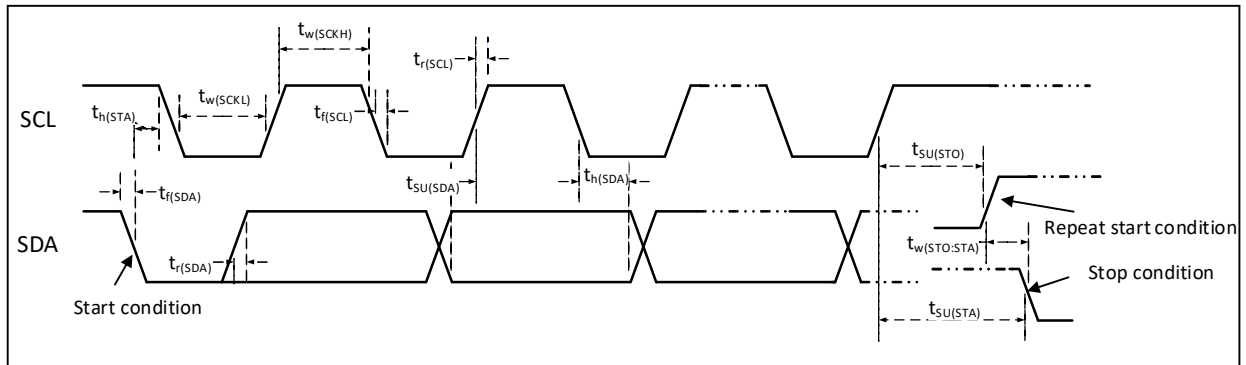


表3-31 I2C接口特性

符号	参数	标准I2C		快速I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL时钟高电平时间	4.0		0.6		us
$t_{SU}(SDA)$	SDA数据建立时间	250		100		ns
$t_h(SDA)$	SDA数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA和SCL上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA和SCL下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU}(STA)$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU}(STO)$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.16 SPI接口特性

图3-7 SPI主模式时序图

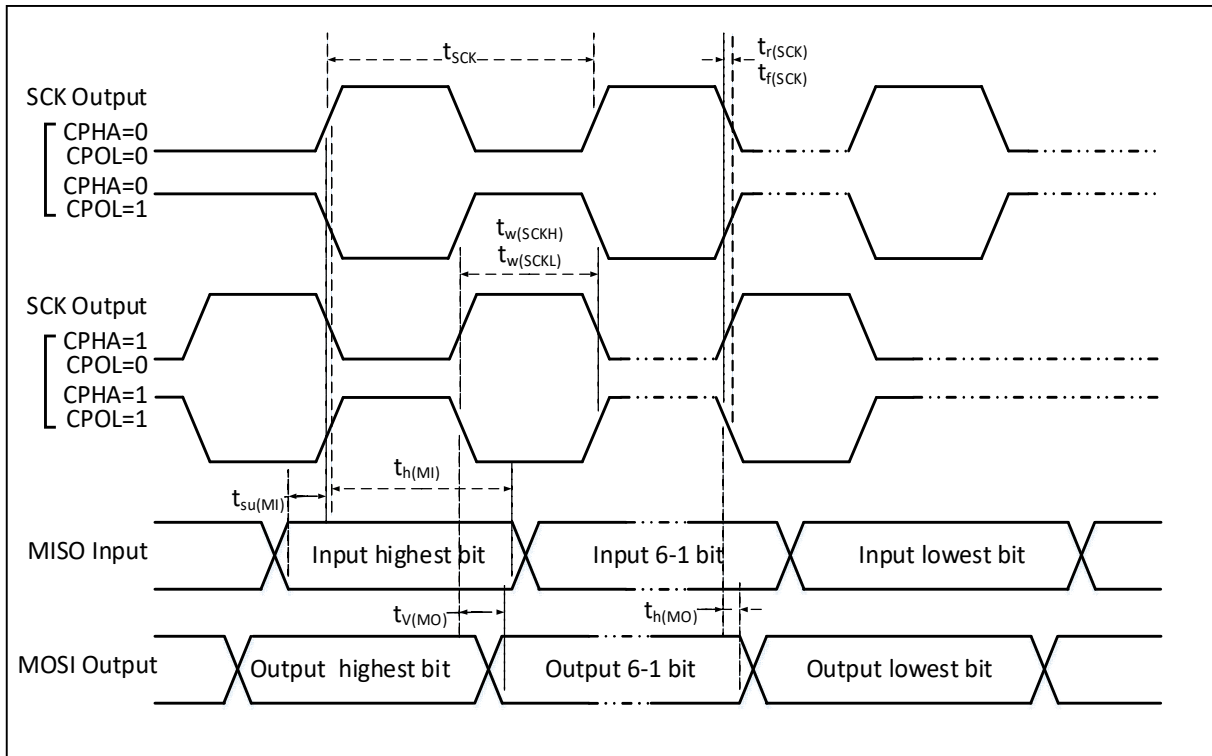


图3-8 SPI从模式时序图 (CPHA=0)

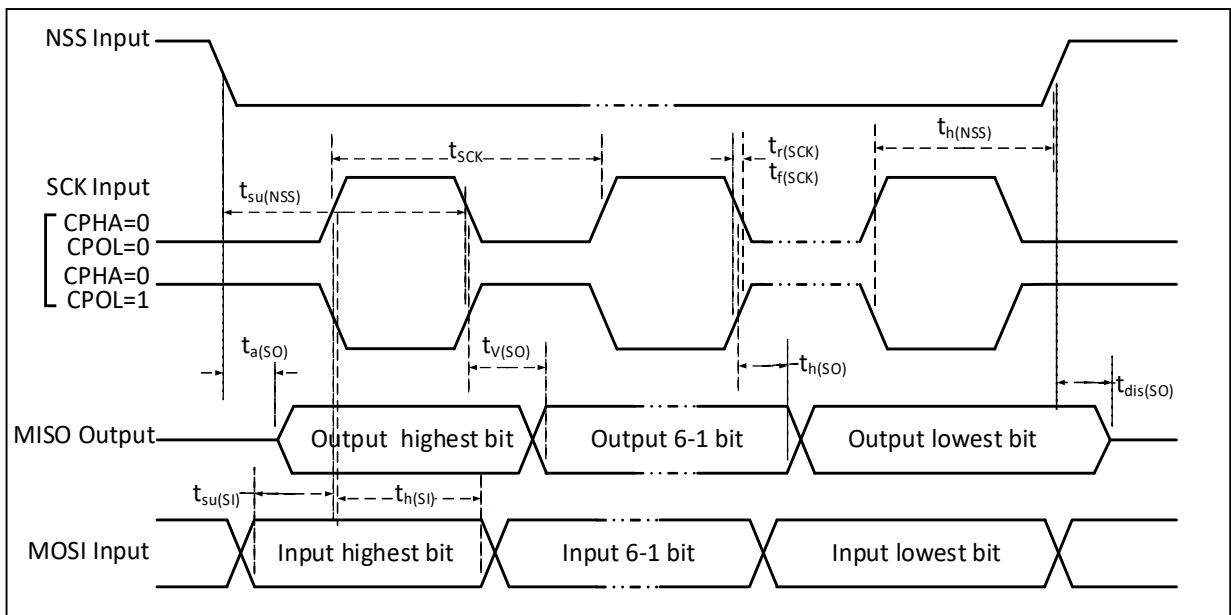


图3-9 SPI从模式时序图 (CPHA=1)

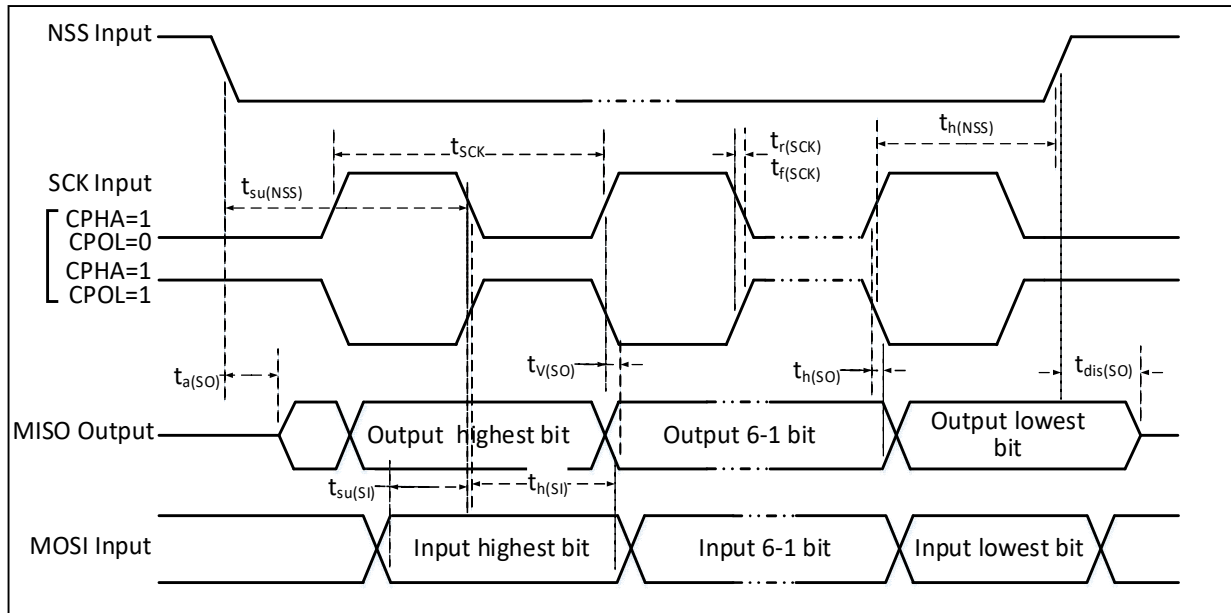


表3-32 SPI接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI时钟频率	主模式		36	MHz
		从模式		36	MHz
$t_r(SCK)/t_f(SCK)$	SPI时钟上升和下降时间	负载电容: $C = 30pF$		8	ns
$t_{su(NSS)}$	NSS建立时间	从模式	$2*t_{HCLK}$		ns
$t_h(NSS)$	NSS保持时间	从模式	$2*t_{HCLK}$		ns
$t_w(SCKH)/t_w(SCKL)$	SCK高电平和低电平时间	主模式, $f_{HCLK} = 24MHz$, 预分频系数=4	70	97	ns
$t_{su(MI)}$	数据输入建立时间	主模式	HSRXEN = 0	12	ns
		HSRXEN = 1	$12 - 0.5*t_{SCK}$		
$t_{su(SI)}$		从模式		4	ns
$t_h(MI)$	数据输入保持时间	主模式	HSRXEN = 0	-4	ns
		HSRXEN = 1	$0.5*t_{SCK} - 4$		
$t_h(SI)$		从模式		4	ns
$t_a(SO)$	数据输出访问时间	从模式, $f_{HCLK} = 20MHz$	0	$1*t_{HCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式 (使能边沿之后)		15	ns
$t_{V(MO)}$		主模式 (使能边沿之后)		5	ns
$t_h(SO)$	数据输出保持时间	从模式 (使能边沿之后)		8	ns
$t_h(MO)$		主模式 (使能边沿之后)		0	ns

3.3.17 模拟/数字转换器ADC特性

表3-33 12位ADC特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD33}	供电电压		3.1	3.3	3.5	V
I _{DDADC}	供电电流			1		mA
f _{ADC}	ADC时钟频率				18	MHz
V _{AIN}	转换电压范围		0		V _{DD33}	V
C _{ADC}	内部采样和保持电容			6		pF
f _s	采样速率	f _{ADC} = 18MHz	250		1000	kHz
			1/72		1/18	f _{ADC}
t _s	采样时间	f _{ADC} = 18MHz	0.31		3.31	us
			5.5		59.5	1/f _{ADC}
t _{STAB}	上电时间			7		us
t _{CONV}	总的转换时间 (包括采样时间)	f _{ADC} = 18MHz	1		4	us
			18		72	1/f _{ADC}

注：以上均为设计参数保证。

公式：最大R_{AIN}

$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln 2^{N+2}} - R_{ADC}$$

上述公式用于决定最大的外部阻抗，使得误差可以小于1/4 LSB。其中N = 12(表示12位分辨率)。

表3-34 f_{ADC} = 18MHz时的最大R_{AIN}

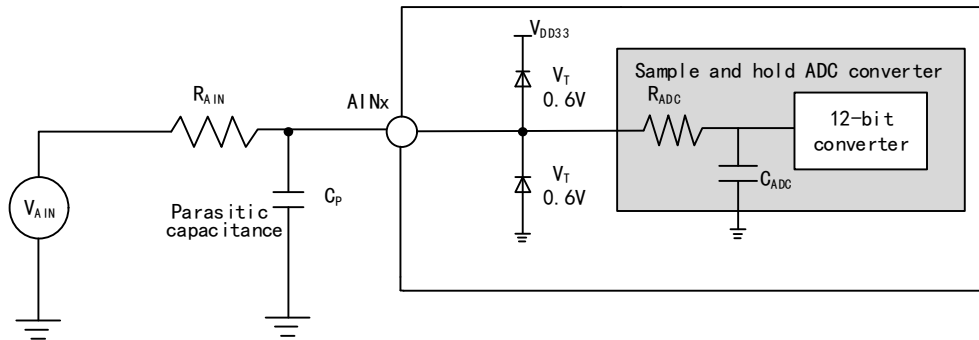
T _s (周期)	t _s (us)	最大R _{AIN} (kΩ)
5.5	0.31	3.8
11.5	0.64	9.4
23.5	1.31	21
59.5	3.31	55

表3-35 ADC误差

符号	参数	条件	典型值	最大值	单位
ET	数据总偏差	f _{ADC} = 18MHz, R _{AIN} < 4kΩ, V _{DD33} = 3.3V	±12		LSB
E0	失调误差		±3		
EG	增益误差		±6		
ED	微分非线性误差		±10		
EL	积分非线性误差		±10		

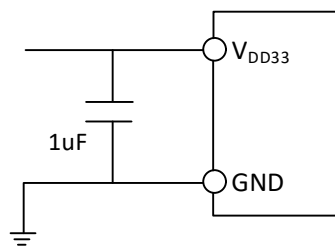
注：以上均为设计参数保证。

图3-10 ADC典型连接图



C_p 表示PCB与焊盘上的寄生电容（大约5pF），可能与焊盘和PCB布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图3-11 模拟电源及退耦电路参考



3.3.18 运算放大器OPA特性

表3-36-1 OPA1特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
I_{DDQ11}	供电电流			270		μ A
V_{CM1R}	共模输入电压				$V_{DD33}-1.5$	V
$V_{IOFFSET}$	输入失调电压			2	6	mV
$A_V^{(1)}$	开环增益			90		dB
$BW^{(1)}$	OPA1 运算放大器带宽	$V_O \in (0.3V, V_{DD33}-0.3V)$		600		kHz
		$V_O \in (0.2V, V_{DD33}-0.2V)$		500		
		$V_O \in (0.1V, V_{DD33}-0.1V)$		400		
$PGA_{GAIN}^{(1)}$	PGA增益误差	Gain = 20	-1		1	%
		Gain = 40	-1		1	
R_{BIAS}	在Q111模式下的偏置电阻			90		k Ω

注：1. 设计参数保证。

表3-36-2 OPA2特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
I_{DDQ11}	供电电流			270		μ A
V_{CM1R}	共模输入电压				$V_{DD33}-1.5$	V
$V_{IOFFSET}$	输入失调电压			2	6	mV
$A_V^{(1)}$	开环增益			90		dB

BW ⁽¹⁾	OPA2运算放大器带宽	V _O ∈ (0.3V, V _{DD33} -0.3V)		600		kHz
		V _O ∈ (0.2V, V _{DD33} -0.2V)		500		
		V _O ∈ (0.1V, V _{DD33} -0.1V)		400		
PGA _{GAIN} ⁽¹⁾	PGA增益误差	Gain = 5	-1		1	%
		Gain = 10	-1		1	
		Gain = 20	-1		1	
		Gain = 40	-1		1	
R _{BIAS}	在Q112模式下的偏置电阻			90		kΩ

注：1. 设计参数保证。

表3-36-3 OPA3和OPA4特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD33}	供电电压		3.1	3.3	3.5	V
I _{DDISP}	供电电流			420		μA
V _{CMIR}	共模输入电压				V _{DD33} -1.5	V
V _{I OFFSET}	输入失调电压			3	8	mV
A _v ⁽¹⁾	开环增益			110		dB
G _{BW} ⁽¹⁾	单位增益带宽			20		MHz
P _M ⁽¹⁾	相位裕度			75		°
PGA _{GAIN} ⁽¹⁾	内部同相PGA增益误差	Gain = 4	-1.3		1.3	%
		Gain = 8	-1.3		1.3	
		Gain = 16	-1.3		1.3	
		Gain = 55	-1.6		1.6	
	差分输入PGA增益误差 (差分输入端串接100Ω电阻)	Gain = 4	-1.3		1.3	%
		Gain = 8	-1.3		1.3	
		Gain = 16	-1.3		1.3	
		Gain = 55	-1.6		1.6	
	差分输入PGA增益误差 (差分输入端直连低阻信号源)	Gain = 4	-0.3		2.3	%
		Gain = 8	-0.3		2.3	
		Gain = 16	-0.3		2.3	
		Gain = 55	-0.6		2.6	
S _R ⁽¹⁾	摆率		10	20	30	V/μs
V _{OHSAT} ⁽¹⁾	高饱和电压	无负载	V _{DD33} -300			mV
V _{OLSAT} ⁽¹⁾	低饱和电压	无负载			300	mV
t _{WAKEUP} ⁽¹⁾	关闭到唤醒时间, 0.1%				1	μs
e _N ⁽¹⁾	输出噪声密度	1kHz		200		nV/ sqrt(Hz)
		10kHz		80		

注：1. 设计参数保证。

3.3.19 CMP特性

表3-37-1 CMP1特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD33}	供电电压		3.1	3.3	3.5	V
V _{CMIR}	共模输入电压			1.2	V _{DD33} -1.5	V

$V_{\text{IOFFSET}}^{(1)}$	输入失调电压			3.5		mV
I_{DDOPAMP}	消耗电流			35		uA
V_{hys}	迟滞电压	$Q111_HYPSEL = 0$		100		mV
		$Q111_HYPSEL = 1$		200		mV
$t_{\text{D}}^{(1)}$	比较器延时, V_{INP} 从 ($V_{\text{INN}}-10\text{mV}$) 到 ($V_{\text{INN}}+10\text{mV}$) 变化	$V_{\text{INN}} = 1.2\text{V}$		40		ns

注：1. 设计参数保证。

表3-37-2 CMP2特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
V_{CMIR}	共模输入电压		0		V_{DD33}	V
$V_{\text{IOFFSET}}^{(1)}$	输入失调电压	共模输入, $0.6\text{V} < V_{\text{CMIR}} < V_{\text{DD33}}-0.6\text{V}$		2	6	mV
		共模输入, $V_{\text{CMIR}} < 0.6\text{V}$ 或 $V_{\text{CMIR}} > V_{\text{DD33}}-0.6\text{V}$		3.5	11	
I_{DDOPAMP}	消耗电流			55		uA
V_{hys}	迟滞电压	$Q112_HYPSEL[2:0] = 000$		0		mV
		$Q112_HYPSEL[2:0] = 001$		5		
		$Q112_HYPSEL[2:0] = 010$		10		
		$Q112_HYPSEL[2:0] = 011$		20		
		$Q112_HYPSEL[2:0] = 100$		40		
		$Q112_HYPSEL[2:0] = 101$		50		
		$Q112_HYPSEL[2:0] = 110$		60		
		$Q112_HYPSEL[2:0] = 111$		120		
$t_{\text{D}}^{(1)}$	比较器延时, V_{INP} 从 ($V_{\text{INN}}-100\text{mV}$) 到 ($V_{\text{INN}}+100\text{mV}$) 变化	$V_{\text{INN}} = 1.2\text{V}$		30		ns
DAC_{INL}	CMP2内部DAC积分非线性误差, $0.1\text{V} \leq \text{DAC}_{\text{OUT}} \leq 3.1\text{V}$, step = 200mV	$V_{\text{DD33}} = 3.3\text{V}$			30	mV

注：1. 设计参数保证。

表3-37-3 CMP3电压比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
V_{CMIR}	共模输入电压		0		V_{DD33}	V
$V_{\text{IOFFSET}}^{(1)}$	输入失调电压	共模输入, $0.6\text{V} < V_{\text{CMIR}} < V_{\text{DD33}}-0.6\text{V}$		2	6	mV
		共模输入, $V_{\text{CMIR}} < 0.6\text{V}$ 或		3.5	11	

		$V_{CM1R} > V_{DD33} - 0.6V$				
$I_{DDOPAMP}$	消耗电流			50		μA
V_{hys}	迟滞电压	$HYS[1:0] = 00$		0		mV
		$HYS[1:0] = 01$		10		mV
		$HYS[1:0] = 10$		20		mV
		$HYS[1:0] = 11$		40		mV
$t_D^{(1)}$	比较器延时, V_{INP} 从 $(V_{INN}-100mV)$ 到 $(V_{INN}+100mV)$ 变化	$0 \leq V_{INN} \leq V_{DD33}$		17	50	ns
DACINL	内部DAC积分非线性误差, $0.1V \leq DAC_OUT \leq 3.1V$, step = 200mV	$V_{DD33} = 3.3V$			50	mV

注：1. 设计参数保证。

3.3.20 ISINK模块电流特性

表3-38 10位ISINK模块电流特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
$I_{STEP}^{(2)}$	单位电流值 (1*LSB)			0.244		μA
I_{SW}	电流输出范围	$V_{PAD} > 0.6V$	0		1023*LSB	μA
$I_{ISO}^{(1)}$	电流绝对值误差		-2*LSB		2*LSB	μA
$I_{INL}^{(1)}$	电流积分非线性误差	校准后			± 4	LSB
$I_{DNL}^{(1)}$	电流微分非线性误差				± 2	LSB
$I_{TC}^{(1)}$	ISINK电流温度特性	$T_A = 0 \sim 55^\circ C$, 输入值0x200	-3		+2	LSB
		$T_A = -40 \sim 105^\circ C$, 输入值0x200	-6		+5	LSB
$t_{SETTLING}^{(1)}$	建立时间 (全范围: 输入代码从 最小值转变为最大值, ISNK_OUT 达到其终值的 $\pm 1*LSB$)			1	3	μs
$V_{UPDATE}^{(1)}$	当输入代码为较小变化时 (从数 值 i 到 $i+1*LSB$), 得到正确 ISNK_OUT的最大频率。				1	MS/s
$t_{WAKEUP}^{(1)}$	从关闭状态唤醒的时间			2	4	μs

注：1. 设计参数保证。

2. 如果控制外部DC-DC, 上电阻可取值82K, 电压调节步距为20mV。

3.3.21 ISOURCE模块电流特性

表3-39 ISOURCE模块电流特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD33}	供电电压		3.1	3.3	3.5	V
$I_{SW}^{(1)(2)}$	电流输出范围	$ISRC1_SEL = 0$ $V_{PAD} < V_{DD33} - 0.6V$	5	7	9	μA

		ISRC1_SEL = 1 $V_{PAD} < V_{DD33} - 0.6V$	23	27	32	uA
		ISRC2_SEL = 0 $V_{PAD} < V_{DD33} - 0.6V$	7	9	11	uA
		ISRC2_SEL = 1 $V_{PAD} < V_{DD33} - 0.6V$	32	36	41	uA
$I_{TC}^{(1)}$	ISOURCE电流温度特性	$T_A = -40 \sim 105^{\circ}C$	-2		+2	%

注：1. 设计参数保证。

2. 若需获取芯片精确的ISOURCE电流输出值，操作方法请参考EVT例程中ISOURCE1_GetData和ISOURCE2_GetData函数。

第4章 封装及订货信息

芯片封装

封装形式	塑体尺寸	引脚节距		封装说明	订货型号
QFN48X7_A	7*7mm	0.5mm	19.7mil	四边无引线48脚	CH32M030C8U3
LQFP48	7*7mm	0.5mm	19.7mil	标准LQFP48贴片	CH32M030C8T7
QFN48	5*5mm	0.35mm	13.8mil	四边无引线48脚	CH32M030C8U7
QFN32	4*4mm	0.4mm	15.7mil	四边无引线32脚	CH32M030K8U7
QSOP28	3.9*9.9mm	0.635mm	25.0mil	1/4尺寸28脚贴片	CH32M030G8R7

说明：尺寸标注的单位是mm（毫米），引脚中心间距总是标称值，没有误差，除此之外的尺寸误差不大于±0.2mm或者±10%两者中的较大值。

图4-1 LQFP48封装

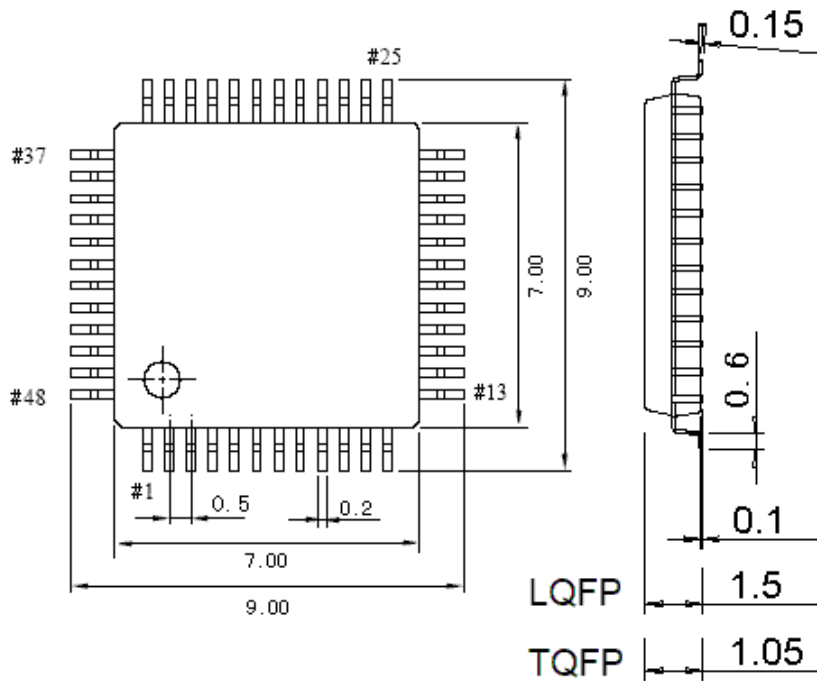


图4-2 QFN48X7_A封装

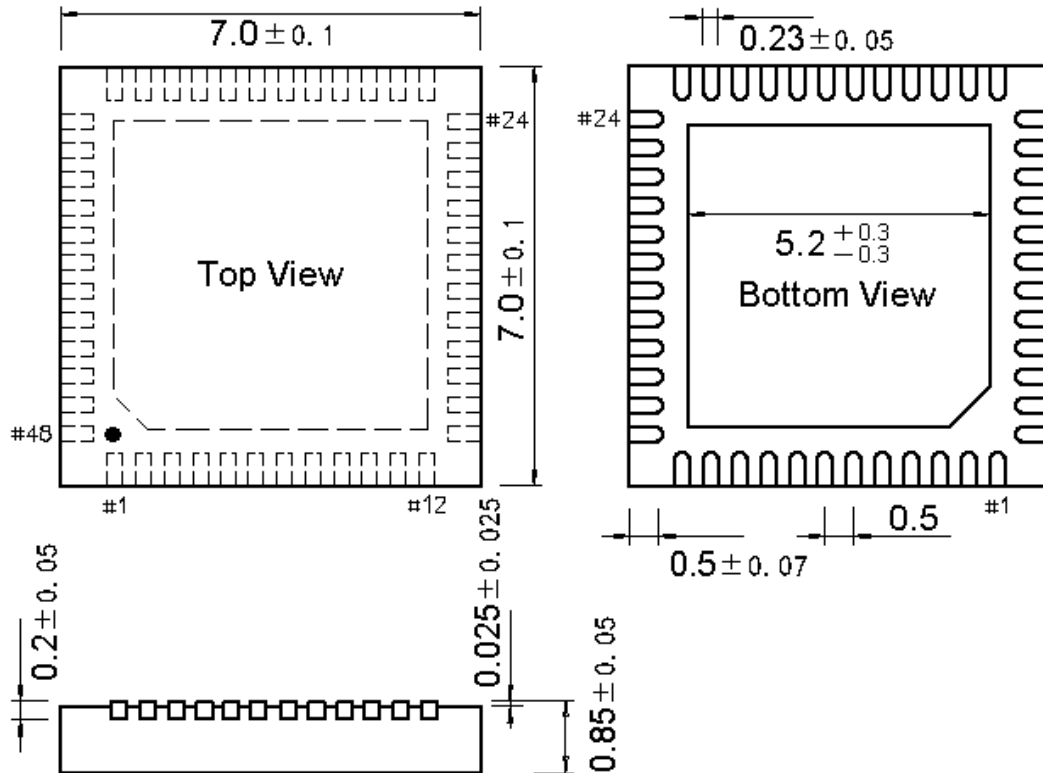


图4-3 QFN48封装

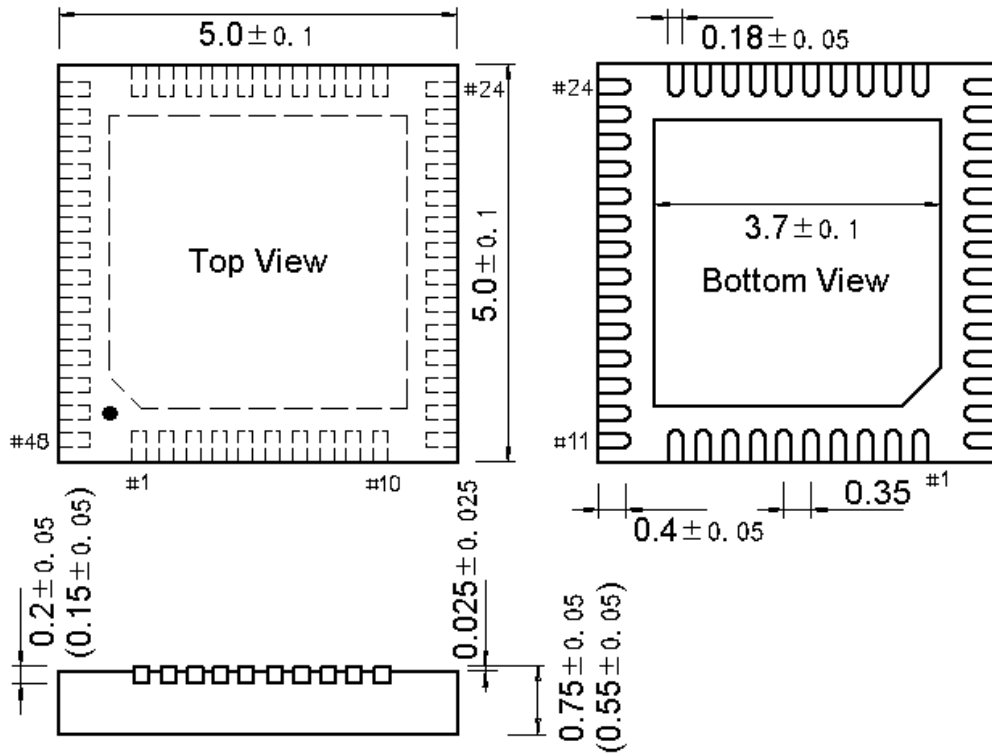


图4-4 QFN32封装

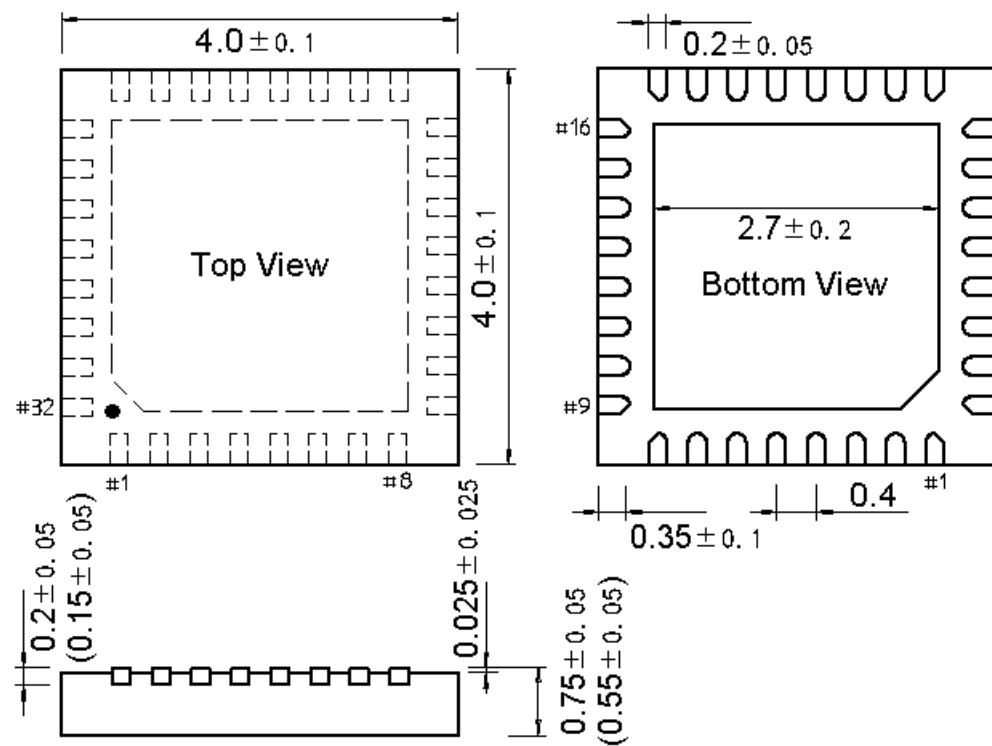
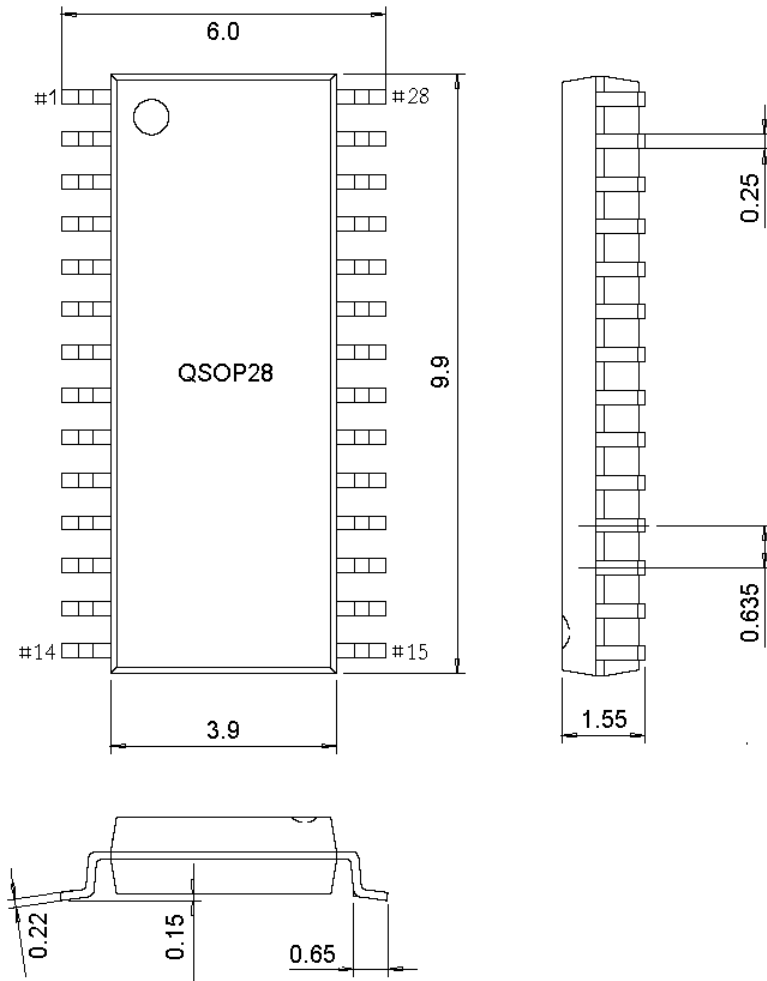


图4-5 QSOP28封装



系列产品命名规则

举例： CH32 V 303 R 8 T 6
 产品系列

- F = Arm内核，通用MCU
- V = 青稞RISC-V内核，通用MCU
- L = 青稞RISC-V内核，低功耗MCU
- X = 青稞RISC-V内核，专用或特殊外设MCU
- M = 青稞RISC-V内核，内置预驱的电机MCU

产品类型 (*) + 产品子系列 (**)

产品类型	产品子系列
0 = 青稞V2/V4内核， 超值版，主频<=48M	02 = 16K闪存超值通用型 03 = 16K闪存基础通用型，OPA 05 = 32K闪存增强通用型，OPA、双串口 06 = 64K闪存多能通用型，OPA、双串口、TKey 07 = 基础电机应用型，OPA+CMP 35 = 连接型，USB、USB PD/Type-C 33 = 连接型，USB 30 = 电机应用型，OPA+CMP、USB、PD/Type-C
1 = M3/青稞V3/V4内核， 基本版，主频<=96M	03 = 连接型，USB 05 = 连接型，USB HS、SDIO、CAN
2 = M3/青稞V4非浮点内核， 增强版，主频<=144M	07 = 互联型，USB HS、CAN、以太网、SDIO、FSMC 08 = 无线型，BLE5.x、CAN、USB、以太网
3 = 青稞V4F浮点内核， 增强版，主频<=144M	17 = 互联型，USB HS、CAN、以太网（内置PHY）、 SDIO、FSMC

引脚数目

J = 8脚 D = 12脚 A = 16脚 F = 20脚 E = 24脚
 G = 28脚 K = 32脚 T = 36脚 C = 48脚 R = 64脚
 W = 68脚 V = 100脚 Z = 144脚

闪存存储容量

4 = 16K闪存存储器 6 = 32K闪存存储器 7 = 48K闪存存储器
 8 = 64K闪存存储器 B = 128K闪存存储器 C = 256K闪存存储器

封装

T = LQFP U = QFN R = QSOP P = TSSOP M = SOP

温度范围

6 = -40°C~85°C（工业级） 7 = -40°C~105°C（扩展工业级、汽车2级）
 3 = -40°C~125°C（汽车1级） D = -40°C~150°C（汽车0级）